

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-116141

(P2000-116141A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 2 M 7/48		H 0 2 M 7/48	G 3 K 0 7 2
	3/24	3/24	H 5 H 0 0 7
H 0 5 B 41/24		H 0 5 B 41/24	Z 5 H 7 3 0

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願平10-283075

(22) 出願日 平成10年10月5日 (1998. 10. 5)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 野間 隆嗣

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 森島 靖之

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 杉本 英彦

愛知県春日井市岩成台 3-4-16

(74) 代理人 100094019

弁理士 中野 雅房

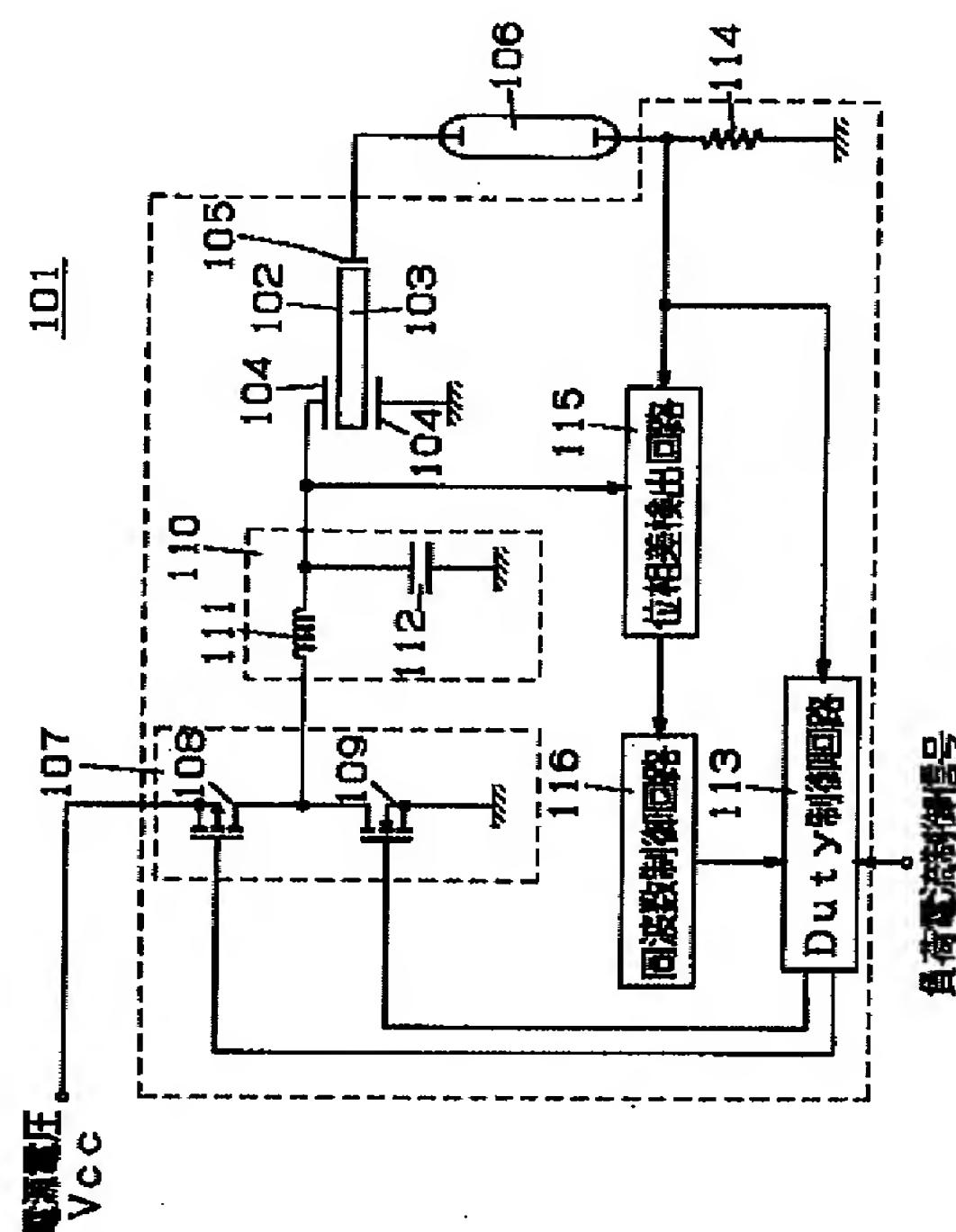
最終頁に続く

(54) 【発明の名称】 圧電トランスインバータ

(57) 【要約】

【解決手段】 圧電トランス102の一方の一次電極104を接地し、ハーフブリッジ駆動回路107の出力と他方の一次電極104をLC共振回路110によって接続する。駆動回路107は、Pチャネル型FETとNチャネル型FETの直列接続体によって構成する。デューティ制御回路113は、負荷106に流れる電流値が目標電流値と一致するように、駆動回路107のオン・デューティを制御する。周波数制御回路116は、位相差検出回路115によって検出された圧電トランス102の入力電圧と出力電圧の位相差に基づき、その位相差が所定値となるよう駆動回路107の駆動周波数を制御する。

【効果】 LC共振回路で圧電トランスを略正弦波駆動でき、圧電トランスインバータの効率改善できる。位相差検出部と周波数制御部の働きで、周波数特性が双峰形となる場合でも、双峰形の谷間で圧電トランスを安定に駆動できる。



【特許請求の範囲】

【請求項1】 一次電極の一方が接地され、一次電極間に印加された交流電圧又は直流電圧を電圧変換して二次電極に接続された負荷に供給する圧電トランスと、前記圧電トランスの一次電極間に交流電圧又は直流電圧を供給する駆動部と、前記駆動部の出力と前記圧電トランスの一次電極との間に挿入されたローパス形共振回路部と、前記負荷に流れる電流値が目標電流値と一致するよう、前記駆動部のオン・デューティを制御するデューティ制御部と、前記圧電トランスの入力電圧と出力電圧の位相差を検出する位相差検出部と、前記位相差検出部の検出情報に基づき、前記位相差が所定値となるよう前記駆動部の駆動周波数を制御する周波数制御部と、を有することを特徴とする圧電トランスインバータ。

【請求項2】 一次電極間に印加された交流電圧又は直流電圧を電圧変換して二次電極に接続された負荷に供給する圧電トランスと、前記圧電トランスの2つの一次電極に個別に交流電圧又は直流電圧を供給する駆動部と、前記駆動部の出力と前記圧電トランスの各一次電極との間に挿入されたローパス形共振回路部と、前記負荷に流れる電流値が目標電流値と一致するよう、前記駆動部のオン・デューティを制御するデューティ制御部と、前記圧電トランスの入力電圧と出力電圧の位相差を検出する位相差検出部と、前記位相差検出部の検出情報に基づき、前記位相差が所定値となるよう前記駆動部の駆動周波数を制御する周波数制御部と、を有することを特徴とする圧電トランスインバータ。

【請求項3】 前記ローパス形共振回路部は、前記駆動部の出力と前記圧電トランスの一次電極との間に接続されたコイルと、前記圧電トランスの一次電極間に並列に接続されたコンデンサとからなり、圧電トランスの共振周波数よりも十分低い周波数で測った圧電トランス入力容量の4倍以下の静電容量を持つコンデンサを、前記ローパス形共振回路部のコンデンサとして使用し、このコンデンサの静電容量及び前記圧電トランス入力容量の和からなる合成静電容量と、前記コイルのインダクタンスとで決まる共振周波数を、前記駆動周波数の $\pm 15\%$ 以内の範囲に設定したことを特徴とする、請求項1又は2に記載の圧電トランスインバータ。

【請求項4】 前記位相差検出部は、出力端子を互いにアンド接続された、オープンコレクタ出力形式またはオープンドレイン出力形式の2つの比較器を備えたものである、請求項1、2又は3に記載の圧電トランスインバ

ータ。

【請求項5】 前記圧電トランスとして、 $\lambda/2$ モードのローゼン型圧電トランスを用いることを特徴とする、請求項1、2、3又は4に記載の圧電トランスインバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、圧電トランスを用いて直流電圧を交流電圧に変換するための圧電トランスインバータに関する。特に、液晶表示パネルのバックライト用冷陰極管を点灯させるための圧電トランスインバータに関する。

【0002】

【従来の技術】（圧電トランスインバータに求められる性能）近年、携帯電話やノートパソコンなどの携帯用情報処理機器のディスプレイ装置として、バックライト付き液晶ディスプレイが一般的に使用されている。このバックライトの光源としては、冷陰極管等の蛍光管が用いられている。蛍光管を点灯させるには高圧の交流電圧を印加する必要がある、またノートパソコンなどの携帯用情報処理機器の入力電源としては、バッテリーとACアダプターの併用が一般的である。それゆえ、このようなバックライトには、入力電源から供給される低電圧の直流電圧を蛍光管が点灯可能な高圧の交流電圧に変換するDC/ACインバータなどの蛍光管点灯装置が必要となる。

【0003】近年、このような蛍光管点灯装置として、電磁トランスに比較して小型の圧電トランスを用いた圧電トランスインバータの開発が進められてきている。これらの用途に用いるためには、圧電トランスインバータには、

- ① 液晶表示パネルの輝度を調整できるように冷陰極管の管電流を可変制御できること、
- ② 電池でもバッテリーチャージャーでも駆動できるように広入力電圧範囲であること、
- ③ 動作時間を長くするために高効率であること、といった性能が要求される。

【0004】従来技術を説明する前に、まず圧電トランスの原型であるローゼン型圧電トランスを例にとって、圧電トランスの電気的特性を説明する。図1に示すように、ローゼン型圧電トランス1は、長さ方向の一方の片側領域において、圧電セラミックからなる圧電基板2の表裏両主面に一次電極3、3を形成すると共に両一次電極3、3と垂直な方向（圧電基板2の厚み方向）に圧電基板2を分極させ、圧電基板2の他方端面に二次電極4を形成すると共に当該二次電極4側の片側領域を長さ方向に分極させたものである。

【0005】しかして、ローゼン型圧電トランス1では、圧電基板2を挟んで対向する一次電極3、3間に入力電源5による交流電圧を印加すると、その電圧が機械

的な歪に変換される。この歪により長さ方向の振動が励起され、その機械的振動が再び電気振動に変換されて二次電極4から取り出されることでトランス機能を奏し、負荷6（蛍光管）に昇圧された電圧を印加する。

【0006】図2(a)(b)(c)(d)(e)は、負荷抵抗 R_L が $1\text{M}\Omega$ 、 $100\text{k}\Omega$ 、 $20\text{k}\Omega$ の各場合について、ローゼン型圧電トランス1の昇圧比、変換効率、入出力位相差、入力位相、入力インピーダンスの各周波数特性を示している。一般に、圧電トランス1の昇圧比(=出力電圧/入力電圧)のピークは、共振周波数 f_r (=入力インピーダンスが極小となる周波数)の近傍にあり、入出力位相差(=出力電圧の位相と入力電圧の位相の差)は、昇圧比のピークの近傍で 0° から 180° へ反転する。また、変換効率のピークは、共振周波数 f_r と反共振周波数 f_a (=入力インピーダンスが極大となる周波数)との間にある。変換効率がピークとなる周波数を f_d で示す。なお、図2においては、共振周波数 f_r 、反共振周波数 f_a 、変換効率がピークとなる周波数 f_d は、負荷抵抗が $100\text{k}\Omega$ のものについて示している。

【0007】(第1の従来例)つぎに、従来の圧電トランスインバータについて説明する。液晶表示パネルのバックライトとして用いられる圧電トランスインバータでは、前記のように、液晶表示パネルの輝度を調整できるように負荷電流(冷陰極管の管電流)を可変制御できなければならない(前記①の要求)。この要求を満たすものとしては、例えば特開平6-167694号に開示された圧電トランスインバータがある。これは、図3に示すように、圧電トランスの昇圧比が駆動周波数に依存して変化することを利用したものであって、昇圧比のピークよりも高周波側で制御する場合を考えると、負荷電流を小さくしたい場合には駆動周波数を高くして昇圧比を小さくし、逆に、負荷電流を大きくしたい場合には駆動周波数を低くして昇圧比を大きくすることにより、負荷電流が一定となるように制御する。このような方式の圧電トランスインバータは、負荷電流の制御方法が簡単であるため広く用いられている。

【0008】しかしながら、このような方式の圧電トランスインバータでは、電源電圧が高い場合や負荷電流を小さく絞られた場合には、圧電トランスの共振点 f_r や反共振点 f_a の近傍から大きくはずれた、変換効率の低い周波数領域で駆動されることになり、効率の低下が著しいという問題がある(つまり、前記③の要求を満たさない)。

【0009】(第2の従来例)このような問題を解決する方法としては、圧電トランス駆動信号の位相差が一定値となるように圧電トランスを制御することにより、変換効率ピークの周波数 f_d の近傍領域において高効率で駆動するとともに、スイッチング素子のオン・デューティ(ON-Duty)を変えることにより、負荷電流を一定に

制御する方法が各種考案されている。このような方式の圧電トランスインバータとしては、特開昭55-98881号、特許第2618685号、特開平9-237684号、特開平9-135573号などがある。

【0010】特開昭55-98881号に開示された圧電トランスインバータ11の構成を図4の回路図に示す。駆動発振トランス12は、圧電トランス13を駆動するものであって、駆動回路14及びプッシュプルトランジスタ15、16によりプッシュプルスイッチング駆動されている。圧電トランスインバータ11の出力電圧 V_o は、分圧抵抗17、18によって分圧された後、増幅器19により直流電源20の基準電圧 E と比較増幅されて誤差出力として比較器21の一方の入力に入る。

【0011】位相検出器22は、圧電トランス13の入力電圧と入力電流を検出し、その電圧電流位相差を電圧に変換して電圧制御発振器23へ入力している。電圧制御発振器23は、位相検出器22の出力電圧に応じて周波数が変化するものであり、電圧制御発振器23の出力は比較器21の他方の入力に入る。比較器21からは、誤差レベルに対応してパルス出力が駆動回路14へ伝達される。すなわち、高圧出力 V_o が下がると、増幅器19の出力が下がり、駆動発振トランス12の駆動パルス幅が増加する。この結果、駆動発振トランス12の2次側で、発振周波数に対応する基本波成分の電圧が上がり、圧電トランス13の入力電流が増加して高圧出力を上げる。この方法により、負荷変動による出力安定度を改善することができる。

【0012】圧電トランスを効率よく使用するためには、圧電トランスの共振周波数 f_r に一致した周波数で駆動しなければならない。また、圧電トランスの入力電流と入力電圧の位相差は、共振点で 90° ずれることが知られている。そのため、この圧電トランスインバータ11では、上記のようにして圧電トランス13の入力電流と入力電圧の位相差を検出し、これらの位相差が 90° となるように制御することにより、図5(a)(b)に示すように、圧電トランス13の出力電圧(変換効率)が最大となるように制御している。

【0013】しかしながら、この圧電トランスインバータ11は入力電流検出用の抵抗24を用いており、圧電トランス13の入力電流は出力電流に比べて大きいので、入力電流検出用の抵抗24による損失が大きいという問題がある。また、この方式では、圧電トランス13を矩形波で駆動しているため、圧電トランス入力容量の充放電に伴う損失が大きく、高効率化が難しかった。

【0014】(第3の従来例)つぎに、特許第2618685号に開示されているものを図6に示す。これは圧電トランスの駆動回路ではないが、やはり圧電振動子31の入力電圧 V_1 と入力電流 I_1 の位相差を一定とすることで高効率化を図ったものである。この従来例では、図6に示すように、位相比較手段32によって圧電振動子

31の入力電圧 V_1 と入力電流 I_1 とを比較し、入力電圧 V_1 と入力電流 I_1 が同位相となるように制御発振器33によりスイッチング素子34を制御することにより、圧電振動子31を共振周波数で駆動している。

【0015】しかし、このような回路ないし制御方式を圧電トランスインバータに適用しようとしても、負荷抵抗値の違いに基因する入力位相特性の差異により、採用することが困難であった。また、この回路ないし制御方式では、圧電共振子31の前段に昇圧電磁トランス35を使用しており、低背小型化が要求される冷陰極管点灯用には不向きであった。

【0016】(第4の従来例) 特開平9-237684号に開示されている圧電トランスインバータ41の構成を図7に示す。この圧電トランスインバータ41においては、圧電トランス42の入力電圧と出力電圧(2つの分圧抵抗43、44の中点電圧として計測している)の位相差を位相差検出回路45によって検出し、この位相差に応じて制御回路46により電圧制御発振回路47の発振周波数を制御し、これによって圧電トランス42の入力電圧と出力電圧の位相差が 90° となるよう、トランス駆動部48から圧電トランス42に印加される入力電圧の駆動周波数を制御している。

【0017】しかしながら、この方式では、冷陰極管49を点灯させた実使用条件下では昇圧ピーク点での入出力電圧の位相差は 90° にはならないので(電子情報通信学会 信学技報 US95-22, EMD95-18, CPM95-30)、適正な制御ができないという問題があった。さらに、この従来方式では、圧電トランス42を矩形波駆動しているため、やはり圧電トランス入力容量の充放電に伴う損失が大きいという問題もあった。

【0018】(第5の従来例) 特開平9-135573号に開示されている圧電トランスインバータでは、圧電トランスの出力電流、入出力電圧の位相差、変換効率が図8で表わされるとき、その位相差が一定位相範囲(P1-P2)にある場合のみに圧電トランスのデューティ制御が許可され、何らかの外乱により位相が一定位相範囲P1-P2から外れた場合にはいったんデューティ制御を停止している。

【0019】しかし、このような制御方式は、マイクロコンピュータ等を用いれば実現可能であるが、回路規模が大きくなるので、製品コストが高価になり、コスト面で実用的でないという問題があった。

【0020】(第6の従来例) また、入力電圧が高い場合や負荷電流を小さく絞られた場合に、圧電トランスの共振点 f_r や反共振点 f_a から大きくはずれた、変換効率の低い周波数領域で駆動されることになり、効率の低下が著しいという問題を解決する別な方法としては、圧電トランスを共振周波数で自励発振させる方法(特開平7-162052号、特開平8-47265号など)や、入力電圧に応じてスイッチング素子のオン・デューティ

を変化させておき、負荷電流の最終的な調整は周波数制御を用いることによって周波数制御幅を小さくし、変換効率の低下を抑制する方法(特開平9-51681号)などが挙げられる。

【0021】特開平7-162052号に開示されている圧電トランスインバータ51では、図9に示すように、圧電トランス入力段にLC共振回路53を設け、かつ圧電トランス52の出力電圧を分圧抵抗54、55で分圧してフィードバック回路56によって入力に帰還させることにより自励発振させている。この圧電トランスインバータ51では、圧電トランス52の入力段にLC共振回路53を設けているので、圧電トランス入力容量の充放電に伴う損失がなくなる。

【0022】しかしながら、以下に述べる理由により、この方式では変換効率ピークの周波数 f_d では圧電トランス52を駆動できないという問題がある。すなわち、特開昭52-45013号にも示されているように、圧電トランス52単体での昇圧比は山形をしているが、圧電トランス入力にLC共振回路53を設けると、圧電トランス入力電圧の周波数特性は図10(a)のように双峰形となる。このため、圧電トランス出力電圧の周波数特性も図10(b)のように双峰形になる。自励発振回路では帰還ゲインが最大となる周波数で発振が持続するため、動作周波数は圧電トランス出力電圧の2つの山(ピーク)のいずれかになる。ところが、変換効率ピークの周波数 f_d は、双峰形の谷間の周波数であるため、図9に示すような従来例では、効率の悪い周波数で駆動されることが分かる。

【0023】ここで、LC共振回路を設けると圧電トランス入力電流が双峰形になる理由を簡単に説明する。図2に示した圧電トランスの電気的特性から分かるように、圧電トランスの特性として、変換効率ピークの周波数 f_d から離れた領域では、入力位相は約 -90° 、つまり容量性を示す。そのため圧電トランスの入力インピーダンスも含めたLC共振回路のQ値が高くなり、圧電トランスの入力電圧が昇圧される。一方、変換効率ピークの周波数 f_d 近傍の周波数では、入力位相は 0° に近づく。つまり、LC共振回路のQ値が下がり、LC共振による昇圧作用が小さくなるため、圧電トランスの入力電圧は下がる。この結果、変換効率のピーク周波数 f_d で入力電圧が小さくなり、その両側で入力電圧が大きくなって双峰形となるのである。

【0024】(第7の従来例) つぎに、特開平8-47265号に開示されている圧電トランスインバータ61を図11に示す。この圧電トランスインバータ61は、4つのスイッチング素子62、63、64、65をフルブリッジ構造としたスイッチング回路66を圧電トランス67の一次電極68、68間に接続することにより、昇圧比をかせぐとともに、出力電圧を負荷69と抵抗70で分圧し、その分圧された電圧を入力へ帰還させるこ

とによって自励発振させている。この方式では、特開平7-162052号(第6の従来例)のように出力電圧の周波数特性が双峰形になることはなく、ゲインの最も高い共振周波数近傍で駆動することができる。

【0025】しかしながら、この圧電トランスインバータ61では、駆動回路71から出力される矩形波でスイッチング回路66をオン、オフして圧電トランス67を駆動しているため、やはり圧電トランス入力容量の充放電に伴う損失が問題となっていた。

【0026】(第8の従来例)特開平9-51681号に開示されている圧電トランスインバータ81を図12に示す。この圧電トランスインバータ81では、2つのスイッチング素子82、83をハーフブリッジにしたスイッチング回路84のオン・デューティを電源電圧 V_{cc} に応じて制御している。また、圧電トランス85の出力電圧を検出回路86によって検出し、これを $V-f$ 変換回路87で周波数に変換して駆動回路88を制御することにより出力電圧を周波数制御している。この圧電トランスインバータ81によれば、入力電圧変動をオン・デューティで吸収することができるので、周波数制御の負担が少なくなり、出力電圧制御に伴う周波数変動幅が大きくならないで済むメリットがある。

【0027】しかしながら、この従来例では、圧電トランス85の入力段にLCフィルタ89を設けているので、図10により説明したように、圧電トランス出力電圧の周波数特性が双峰形になり、実際には周波数制御が非常に難しいという問題がある。例えば、変換効率ピークの周波数 f_d で圧電トランス85を駆動していたとき、何らかの外乱によりインバータ出力が増加した場合、圧電トランスインバータ81は駆動周波数を増加させることで圧電トランス出力電圧を低下させようとする。しかし、圧電トランス85の昇圧比を下げるためには出力電圧の周波数特性の2つの山(ピーク)のひとつを越えなければならないので、駆動周波数が大きくジャンプすることになり、動作が非常に不安定なものになってしまう欠点があった。

【0028】

【発明が解決しようとする課題】本発明は上述の技術的問題点を解決するためになされたものであり、その目的とするところは、高い変換効率で直流入力電圧を交流出力電圧に変換することができ、また圧電トランスを安定に駆動することができ、しかもアナログ制御の組み合わせによって実現することができる圧電トランスインバータを提供することにある。

【0029】

【発明の開示】請求項1に記載の圧電トランスインバータは、一次電極の一方が接地され、一次電極間に印加された交流電圧又は直流電圧を電圧変換して二次電極に接続された負荷に供給する圧電トランスと、前記圧電トランスの一次電極間に交流電圧又は直流電圧を供給する駆

動部と、前記駆動部の出力と前記圧電トランスの一次電極との間に挿入されたローパス共振回路部と、前記負荷に流れる電流値が目標電流値と一致するよう、前記駆動部のオン・デューティを制御するデューティ制御部と、前記圧電トランスの入力電圧と出力電圧の位相差を検出する位相差検出部と、前記位相差検出部の検出情報に基づき、前記位相差が所定値となるよう前記駆動部の駆動周波数を制御する周波数制御部とを有することを特徴としている。

【0030】ここで、一次電極に交流電圧又は直流電圧を供給する駆動部としては、例えば2つのトランジスタからなるハーフブリッジ駆動部を用いることができる。また、ローパス共振回路部としては、コイルとコンデンサからなるローパスフィルタを用いることができる。特に、駆動部の出力と圧電トランスの一次電極間に接続されたコイルと、圧電トランスの一次電極間に並列接続されたコンデンサとから、ローパス共振回路部を構成することができる。なお、圧電トランスはその性質上、一次電極間に印加された直流電圧成分については電圧変換はしないので、直流が交流に重畳した信号を用いて駆動することができる。もちろん、直流電圧分が零となる信号で駆動しても何ら問題はない。

【0031】この圧電トランスインバータでは、駆動部と圧電トランスとの間にローパス共振回路部を設けているので、駆動部の出力に含まれる高調波成分を遮断でき、圧電トランスを略正弦波で駆動することができ、圧電トランス入力容量の充放電に伴う損失を非常に小さくして圧電トランスインバータの効率を改善することができる。また、共振回路部の昇圧作用により圧電トランスによる昇圧を補助することができるので、昇圧比の小さな圧電トランスを用いることができ、小型の圧電トランスや安価な圧電トランスを使用することができる。

【0032】しかも、位相差検出部と周波数制御部の働きで、入力電圧と出力電圧の位相差が一定となるように制御することにより、効率最高となる周波数の近傍に駆動周波数を固定できるので、駆動部と圧電トランスの間に共振回路部を挿入して双峰形の周波数特性となる場合でも、双峰形の周波数特性の谷間で圧電トランスを安定に駆動することができる。

【0033】また、入力電圧と出力電圧の位相差を一定に制御する方法を用いているので、入力電流を検出する方法に比べて効率が良好となる。従って、特に広入力電圧範囲と高効率が要求される用途に適した圧電トランスインバータを提供することができる。

【0034】また、この圧電トランスインバータは、アナログ制御の組み合わせだけで実現可能であるから、構成を簡略にすることができる。

【0035】請求項2に記載の圧電トランスインバータは、一次電極間に印加された交流電圧又は直流電圧を電圧変換して二次電極に接続された負荷に供給する圧電ト

ランスと、前記圧電トランスの2つの一次電極に個別に交流電圧又は直流電圧を供給する駆動部と、前記駆動部の出力と前記圧電トランスの各一次電極との間に挿入されたローパス形共振回路部と、前記負荷に流れる電流値が目標電流値と一致するよう、前記駆動部のオン・デューティを制御するデューティ制御部と、前記圧電トランスの入力電圧と出力電圧の位相差を検出する位相差検出部と、前記位相差検出部の検出情報に基づき、前記位相差が所定値となるよう前記駆動部の駆動周波数を制御する周波数制御部とを有することを特徴としている。

【0036】請求項2に示す圧電トランスインバータは、請求項1の圧電トランスインバータの作用効果に加え、つぎのような効果がある。この圧電トランスインバータでは、圧電トランスの2つの一次電極に個別に交流電圧又は直流電圧を供給する駆動部を用いているが、このような駆動部としては、例えば4つのトランジスタを用いたフルブリッジ駆動回路を用いることができる。このような駆動部を用いると、圧電トランスの入力電圧を大きくすることができるので、圧電トランスの昇圧比を小さくすることができる。このため、構造が簡単で安価な圧電トランスを使用することができる。また、2倍高調波成分が小さくなるので、圧電トランス出力電圧に含まれる歪み成分を小さくできる。

【0037】請求項3に記載の実施態様は、請求項1又は2に記載した圧電トランスインバータにおいて、前記ローパス形共振回路部は、前記駆動部の出力と前記圧電トランスの一次電極との間に接続されたコイルと、前記圧電トランスの一次電極間に並列に接続されたコンデンサとからなり、圧電トランスの共振周波数よりも十分低い周波数で測った圧電トランス入力容量の4倍以下の静電容量を持つコンデンサを、前記ローパス形共振回路部のコンデンサとして使用し、このコンデンサの静電容量及び前記圧電トランス入力容量の和からなる合成静電容量と、前記コイルのインダクタンスとで決まる共振周波数を、前記駆動周波数の $\pm 15\%$ 以内の範囲に設定したことを特徴としている。

【0038】ローゼン型圧電トランスを用いて冷陰極管を点灯させるアプリケーションにおいて、圧電トランス入力容量 C_p と、ローパス形共振回路部のコンデンサの静電容量 C_c の比率 $M = C_c / C_p$ をパラメータとし、 $M \leq 4$ に設定すると、LC共振周波数が目標周波数 f_d から 15% ずれた場合でも、LC共振昇圧比の低下は -3 dB 程度におさまリ、実用的なLC共振による昇圧作用を得ることができる。

【0039】よって、この実施態様によれば、共振回路部のコイルのインダクタンスやコンデンサの静電容量が公称値からばらついた場合でも、共振回路部の昇圧比を実用レベルに納めることができ、圧電トランスインバータの特性ばらつき抑制に大きな効果がある。

【0040】請求項4に記載の実施態様は、請求項1、

2又は3に記載の圧電トランスインバータにおいて、前記位相差検出部は、出力端子を互いにアンド接続された、オープンコレクタ出力形式またはオープンドレイン出力形式の2つの比較器を備えたものであることを特徴としている。

【0041】比較器としてオープンコレクタまたはオープンドレイン出力形式のものをを用いれば、出力端子を共用接続することで自動的にアンドがとれるので、比較器の出力信号を演算するために追加のロジックICが不要となる。また、一般に2回路入りの比較器ICは安価に入手できる。従って、この実施態様によれば、安価な位相差検出部を実現でき、圧電トランスインバータの製造コストを抑制できる。

【0042】請求項5に記載の実施態様は、請求項1、2、3又は4に記載の圧電トランスインバータにおいて、前記圧電トランスとして、 $\lambda/2$ モードのローゼン型圧電トランスを用いることを特徴としている。

【0043】本発明の圧電トランスインバータでは、矩形波ではなく、共振回路部でフィルタリングした略正弦波を用いて圧電トランスを駆動できるので、小型化が容易な $\lambda/2$ モードのローゼン型圧電トランスを用いることができる。よって、 $\lambda/2$ モードのローゼン型圧電トランスを用いることにより、圧電トランスインバータを小型化することができる。

【0044】

【発明の実施の形態】(第1の実施形態) 図13は本発明の一実施形態による圧電トランスインバータ101の構成を示す回路図である。圧電トランス102はローゼン型圧電トランスであって、圧電基板103の一方領域においては、圧電基板103の両主面にそれぞれ一次電極104、104を設けて両一次電極104、104と垂直な方向に圧電基板103を分極させ、また、圧電基板103の他方領域においては、圧電基板103の端面に二次電極105を設けて二次電極105と垂直な方向に圧電基板103を分極させている。圧電トランス102の一次電極104、104のうち一方はグランドに接地されており、圧電トランス102は、一次電極104、104間に印加された交流の入力電圧を電圧変換して、二次電極105に接続された負荷106に供給する。

【0045】ハーフブリッジ駆動回路107は、2つのスイッチング素子108、109によって構成されており、プッシュプル回路と呼ばれることもある。図13では、2つのスイッチング素子108、109として、Pチャネル型FET(PchFET)とNチャネル型FET(NchFET)を用いているが、もちろん他の種類のスイッチング素子を使用しても差し支えない。上側アームのPチャネル型FET(スイッチング素子108)と下側アームのNチャネル型FET(スイッチング素子109)は互いのドレインを接続してハーフブリッジ駆

動回路107を構成されており、Pチャネル型FETのソースにバッテリー等の電源からの電源電圧 V_{cc} が供給され、Nチャネル型FETのソースをグランドに接地され、両FETの中間点(ドレイン)から出力が取り出されている。

【0046】LC共振回路110はコイル111とコンデンサ112をT形接続したものであり、ハーフブリッジ駆動回路107の出力と圧電トランス102の接地されていない側の一次電極104との間にコイル111が接続され、圧電トランス102の一次側電極104、104間に並列にコンデンサ112が接続されている。

【0047】デューティ制御回路113は、ハーフブリッジ駆動回路107を構成する2つのスイッチング素子108、109(Pチャネル型FETとNチャネル型FETの各ゲート)に出力を接続されている。ハーフブリッジ駆動回路107は、デューティ制御回路113がオンの場合には上側アームのスイッチング素子108をオン、下側アームのスイッチング素子109をオフにし、デューティ制御回路113がオフの場合には上側アームのスイッチング素子108をオフ、下側アームのスイッチング素子109をオンにする。デューティ制御回路113は所定のオン・デューティでオン、オフすることによって両スイッチング素子108、109を交互にオン、オフさせ、デューティ制御回路113のオン・デューティを変化させることによってハーフブリッジ駆動回路107のオン、オフのタイミングを変化させて圧電トランス102の入力電圧の駆動周波数を制御する。

【0048】デューティ制御回路113には、負荷106と検出抵抗114の中間点の電圧と外部からの負荷電流制御信号が入力されている。負荷106と検出抵抗114の中間点の電圧は負荷電流値に比例するものであるから、これによってデューティ制御回路113は負荷電流値を検出することができる。デューティ制御回路113のオン・デューティは、外部からの負荷電流制御信号によって変化し、負荷電流制御信号に応じて負荷106に流れる電流値が一定値となるように制御する。

【0049】冷陰極管のような負荷106は検出抵抗114と直列に接続され、負荷106の他端は圧電トランス102の二次電極105に接続され、検出抵抗114の他端はグランドに接地されている。

【0050】位相差検出回路115は、圧電トランス102の入力電圧と出力電圧(負荷106と検出抵抗114で分圧されたもの)とを検出し、圧電トランス102の入力電圧と出力電圧の位相差を直流電圧に変換して出力している。すなわち、位相差検出回路115は圧電トランス102の入力電圧と出力電圧との位相差を検出し、図14に示すように、その位相差に対して出力電圧を一次関数的に変化させる。具体的には、位相差が 0° のときには入力電圧 V_{cc} の $1/2$ の電圧を、位相差が 90° のときには $V_{cc}/4$ の電圧を出力し、位相差が 180° のときには電圧を出力しない。

0° のときには電圧を出力しない。

【0051】位相差検出回路115の出力は周波数制御回路116に入力され、周波数制御回路116の出力はデューティ制御回路113に入力されている。周波数制御回路116は位相差検出回路115からの出力に応じてデューティ制御回路113のオン・デューティを変化させ、位相差検出回路115で検出される圧電トランス102の入力電圧と出力電圧の位相差が所定の値となるよう、ハーフブリッジ駆動回路107の駆動周波数を制御する。

【0052】つぎに、上記圧電トランスインバータ101の動作を説明する。ハーフブリッジ駆動回路107は、2つのスイッチング素子108、109をオン、オフすることにより、入力電源電圧 V_{cc} の矩形波を出力する。ハーフブリッジ駆動回路107の出力は、コイル111とコンデンサ112からなるLC共振回路110に入力される。

【0053】このLC共振回路110には、

- ① ハーフブリッジ駆動回路107の矩形波出力に含まれる高調波成分を取り除き、圧電トランス102の入力電圧を正弦波に近づけて効率を改善する働き、
- ② LC共振の昇圧作用により圧電トランス102による昇圧を補助する働き、の2つの働きがある。ここで、LC共振回路110の定数は、共振周波数 f_r よりも十分低い周波数で測定した圧電トランス102の入力容量 C_p とコンデンサ112の静電容量 C_c との和 $C_o = C_p + C_c$ 、およびコイル111のインダクタンス L_o で決まるLC共振回路110の共振周波数 $1/[2\pi\sqrt{L_o C_o}]$ が変換効率ピークの周波数 f_d にほぼ一致するように選択されている。

【0054】LC共振回路110の出力は圧電トランス102の一次電極104に入力され、さらに圧電トランス102によって昇圧された後、圧電トランス102の二次電極105から負荷106に供給される。負荷106に流れる負荷電流は検出抵抗114によって電圧に変換され、デューティ制御回路113内で整流及び平滑された後に積分され、外部から入力される負荷電流制御信号の電圧と比較される。デューティ制御回路113は、負荷電流が不足している時、つまり積分信号電圧が負荷電流制御信号電圧よりも小さい時には、ハーフブリッジ駆動回路107のオン・デューティを大きくし、逆に、負荷電流が過大な時には、ハーフブリッジ駆動回路107のオン・デューティを小さくするように動作する。デューティ制御回路113のこのような動作により、負荷電流は一定目標値に制御されることになる。

【0055】一方、位相差検出回路115は圧電トランス102の入力電圧と負荷電流の位相差を比較し、図14に示したように、その位相差に応じた直流電圧を出力する。通常、冷陰極管のような負荷106は抵抗負荷と見なしてもよいので、負荷電流の位相を検出することで

圧電トランス102の出力電圧の位相を検出していることになる。もちろん、負荷106とは別に分圧抵抗を設けて圧電トランス102の出力電圧を検出する方法を用いてもよい。

【0056】周波数制御回路116では、位相差検出回路115の出力とあらかじめ設定された目標位相差とを一致させるように動作周波数を制御する。ここで、動作周波数が、変換効率ピークとなる周波数 f_d に等しくなるときの位相差を目標位相差として設定しておくことにより、動作周波数は双峰形の周波数特性における谷間の周波数、つまり変換効率ピークの周波数 f_d にクランプされる。実際の設計においては、浮遊容量等による影響があるため、位相差をいくらにすれば変換効率が最高となるかをあらかじめ予想することは難しい。従って、設計の初期に目標位相差を変化させて効率が最高となる入出力電圧の位相差を見つけておく方法が現実的である。本発明の圧電トランスインバータ101では、目標位相差の設定値を変えるだけで、このような効率最適化を容易に行える点も特徴である。

【0057】また、負荷電流を可変制御する場合には、各設定電流値に応じて効率最高となる入出力電圧の位相差は微妙に異なる。しかし、液晶表示パネル用のバックライト等の用途のように、負荷電流の変化幅が数倍以内のアプリケーションにおいては、中間程度の負荷電流設定時に効率が最高となるように位相差を調整しておけば、最小負荷電流時や最大負荷電流時にも効率低下を十分に小さくできる。

【0058】上記のように、この圧電トランスインバータ101によれば、ハーフブリッジ駆動回路107の出力と圧電トランス102の一次電極104、104の間にLC共振回路110を設けているので、ハーフブリッジ駆動回路107の出力に含まれる高調波成分を遮断でき、圧電トランス102を略正弦波で駆動できる。そのため、圧電トランス入力容量の充放電に伴う損失を実質ゼロにすることができる。

【0059】また、入力電圧と出力電圧の位相差を一定に制御することにより、圧電トランスインバータ101の駆動周波数を一定周波数の近傍に固定することができるので、LC共振回路110を用いて周波数特性が双峰型になった場合でも、駆動周波数を変換効率ピークの周波数 f_d 近傍に固定することができ、効率最高の状態で安定して圧電トランスインバータ101を駆動できる。

【0060】また、入力電圧と出力電圧の位相差を一定に制御する方法を用いているため、入力電流を検出する方法に比べて効率が良好になる。さらに、マイクロコンピュータを用いることなくアナログ制御の組み合わせだけで実現可能であるので、圧電トランスインバータ101の構成を簡略にすることができる。

【0061】(圧電トランスについて) また、圧電トランス102について詳述すると、圧電トランス102と

しては、 $\lambda/2$ モードのローゼン型圧電トランス102を用いるのが望ましい。その理由は、以下に述べる通りである。

【0062】冷陰極管の特性として、点灯周波数が低すぎると、冷陰極管の輝度特性が悪くなり、逆に点灯周波数が高すぎると、浮遊容量によるリーク電流が大きくなって効率が低下し、かつ輝度の不均一を生じるという性質がある。そのため、最適な駆動周波数が存在し、数10kHz程度が最も望ましいと言われている。

【0063】駆動周波数を固定した場合の、 $\lambda/2$ モード、 λ モード、 $3\lambda/2$ モードの圧電トランス102の寸法と振動モードを図15(a)(b)(c)に示す。この図より分かるように、 $\lambda/2$ モードの圧電トランス102が最もサイズを小さくでき、小型化に適していることが分かる。しかしながら、 $\lambda/2$ モードの圧電トランス102では、入力電圧に2倍高調波成分が多く含まれていると λ モードの振動も励起され、出力電圧に歪みを生じてしまい負荷電流の制御が難しくなるという課題がある。一方、 λ モードでは原理的に2倍高調波モードは励起されず使いやすいため、一般には λ モードが多用されている。

【0064】しかし、本発明の圧電トランスインバータ101では、圧電トランス102を矩形波ではなくLC共振回路110でフィルタリングした略正弦波を用いて駆動しているため、2倍高調波はほとんど含まれなくなる。そのため、本発明の圧電トランスインバータ101では、小型化が容易な $\lambda/2$ モードのローゼン型圧電トランスを用いることができ、圧電トランスインバータ101の小型化に効果がある。

【0065】なお、図2より分かるように、圧電トランス102の効率最高周波数近傍では、圧電トランス102の入力インピーダンスは抵抗成分に近づくため、十分なフィルタ作用を期待するためには、LC共振回路110の外付けコンデンサ112の静電容量をある程度大きくしておく必要がある。

【0066】(LC共振回路について) 上記LC共振回路110としては、圧電トランス102の入力容量 C_p の4倍以下の静電容量 C_c を有するコンデンサ112を使用し、静電容量の和 $C_o = C_p + C_c$ とコイル111のインダクタンス L_o で決まるLC共振回路110の共振周波数 $1/[2\pi\sqrt{(L_o C_o)}]$ を、変換効率ピークの周波数 f_d の $\pm 15\%$ 以内の範囲に設定するとよい。

【0067】図13のような圧電トランスインバータ101において負荷抵抗と圧電トランス102を決めた場合を考えると、変換効率ピークの周波数 f_d での圧電トランス入力抵抗成分の大きさは一意に決まる。このときコンデンサ112の静電容量 C_c を大きくし、コイル111のインダクタンス L_o を小さくすれば、共振周波数 f_r は固定したままでLC共振のQを高くすることができる。つまり、LC共振の昇圧作用が大きくなるの

で、圧電トランス102の昇圧比は小さくて済む。圧電トランス102の昇圧比を大きくするためには一次電極104、104側を積層構造とする手法がよく用いられるが、昇圧比が小さくて済めば積層数を減らして圧電トランス102の製造コストを抑えることができる。

【0068】しかしながら、実際にはLC共振のQをどこまでも大きくできるわけではない。例えば、特開平9-51681号に開示されている従来例（第8の従来例）では、設定しうるLCの値についての記載がないため、その実施化に際しては困難が伴う。この実施形態では、コイル111のインダクタンス L_o とコンデンサ112の静電容量 C_c の大きさを規定することにより、圧電トランスインバータ101の実用的な設計を可能にしている。以下、この実施形態を詳しく述べる。

【0069】LC共振回路110のQを大きくした場合（コンデンサ112の静電容量 C_c を大きくし、それに応じてコイル111のインダクタンス L_o を小さくした場合）と、Qを小さくした場合（コンデンサ112の静電容量 C_c を小さくし、それに応じてコイル111のインダクタンス L_o を大きくした場合）のLC共振回路110の昇圧比（LC共振昇圧比という）の周波数特性を図16に示す。ここでは、説明を簡単にするため、圧電トランス102には昇圧機能がなく、圧電トランス102の入力インピーダンスは純静電容量 C_p であると仮定して話を進める。

【0070】図16によれば、LC共振回路110のQを大きくすると、LC共振昇圧比のピークは大きくなる一方、昇圧できる周波数帯域幅が狭くなることが分かる。市販されているコイル111のインダクタンスとコンデンサ112の静電容量の公差は、コイル111のインダクタンスで $\pm 20\%$ 、コンデンサ112の静電容量で $\pm 10\%$ 程度が一般的である。圧電トランス入力容量の公差も $\pm 10\%$ と仮定すると、LC共振回路110の共振周波数（LC共振周波数という）は最大で $\sqrt{1.2 \times 1.1} = 1.15$ 倍変化する。つまり、LC共振回路110の定数選択にあたっては、LC共振周波数が 15% 変動してもLC共振による昇圧比変動が実用レベルで変動しないことが必要になる。

【0071】しかし、LC共振周波数の共振周波数が 15% 変動してもLC共振による昇圧比変動が実用レベルで変動しないように設計すると制約では、実設計は困難である。そのため、さらにコイル111のインダクタンスとコンデンサ112の静電容量の大きさ規定まで考える。まず、「実用レベルで昇圧比が変動しない」ことを「LC共振周波数のばらつきによる昇圧比変動が -3 dB 以内である」と定義する。 -3 dB というのはQ値を定義する際に用いられている値であり、実用的に意味のある数字である。

【0072】ローゼン型圧電トランス102を用いて冷陰極管を点灯させるアプリケーションにおいて、圧電ト

ランス入力容量 C_p と、外付けしたコンデンサ112の静電容量 C_c の比率 $M = C_c / C_p$ をパラメータとし、コイル111のインダクタンス L_o の値を変化させることでLC共振周波数を変化させた場合の、LC共振昇圧比の様相を図17に示す。ここで、図17の縦軸は変換効率最大で駆動される周波数 f_d における昇圧比とし、 Δf は各Mパラメータにおける -3 dB 帯域幅とした。これより分かるように、 $M \leq 4$ に設定すると、LC共振周波数が目標周波数 f_d から 15% ずれた場合でも、LC共振昇圧比の低下は -3 dB 程度におさまる。詳細に言えば、圧電トランス102の設計等によりこの結果は変化するはずであるが、実用的な設計パラメータの範囲内において上記結果は有用である。つまり、LC共振回路110を構成する外付けのコンデンサ112として、圧電トランス入力容量 C_p の4倍以下の静電容量 C_c を持つものを使用し、両静電容量の和 $C_o = C_p + C_c$ とコイル111のインダクタンス L_o とで決まるLC共振の周波数 $1 / [2\pi\sqrt{L_o C_o}]$ を周波数 f_d の $\pm 15\%$ 以内の範囲に設定することにより実用的なLC共振による昇圧作用を得ることができる。

【0073】上記のように、この実施形態によれば、LC共振回路110を構成するコイル111のインダクタンスとコンデンサ112の静電容量が公称値からばらついた場合でも、LC共振回路110の昇圧作用を実用レベルで抑制できるようになるため、圧電トランスインバータ101の特性ばらつき抑制に大きな効果を発揮する。

【0074】（位相差検出回路について）これまでの説明では位相差検出回路115の具体回路は示さなかったが、位相差検出回路115としては、図18に示すような回路構成のものを用いることができる。この位相差検出回路115では、オープンコレクタ出力形式またはオープンドレイン出力形式の2個の比較器121、122を用いている。一方の比較器121の非反転入力端子と反転入力端子の間は抵抗123を接続され、その非反転入力端子は抵抗124及びコンデンサ125を介して圧電トランス102の一次電極104に接続されている。他方の比較器122も非反転入力端子と反転入力端子の間を抵抗126で結ばれ、その非反転入力端子は抵抗127及びコンデンサ128を介して負荷106と検出抵抗114の中間点に接続されている。また、両比較器121、122の反転入力端子には、電源電圧 V_{cc} を分圧抵抗129、130で分圧した電圧が入力され、さらに、ともにコンデンサ131を介してグランドにつながれている。両比較器121、122の出力端子は互いに接続されており、抵抗132とグランドに接続されたコンデンサ133とからなる平滑回路を介して位相差検出回路115の出力端につながっており、両比較器121、122の出力端子は、プルアップ抵抗134を介して電源電圧 V_{cc} につながれている。

【0075】この位相差検出回路115では、比較器121、122として安価な単電源比較器を使用している。単電源比較器では入力電圧が負になると比較ができなくなるため、抵抗値R1、R2の等しい抵抗129、130で電源電圧Vccを分圧することにより入力端子平均電圧を $V_{cc}/2$ にバイアスしている。また、各抵抗129、130、124、123、127、126の値R1～R6を適当に選ぶことにより、両比較器121、122の入力電圧が0～Vccの範囲内に納まるように設計しておく。

【0076】この位相差検出回路115では、両比較器121、122の反転入力端子が $V_{cc}/2$ に固定されているので、非反転入力端子が $V_{cc}/2$ 以上になる期間ではそれぞれの比較器121、122の出力が「ハイ

(H)」となる。非反転入力端子の平均電圧は $V_{cc}/2$ であるから、比較器121は圧電トランス102入力電圧が正の半サイクルの期間に「ハイ」を出力し、比較器122は圧電トランス出力電圧が正の半サイクルの期間に「ハイ」を出力することを意味する。オープンコレクタ出力形式またはオープンドレイン出力形式の場合、両出力端子を接続するだけで両出力のアンドを取ったことになるので、このアンド出力を平滑することにより $0^\circ \sim 180^\circ$ の圧電トランス入出力位相差が直流電圧に変換される。ここで、抵抗134、132の値をR7、R8とすれば、圧電トランス入出力電圧が同位相の場合には出力電圧 $V_{cc}/2$ 、圧電トランス入出力電圧が逆位相の場合には出力電圧=0となる。従って、図14に示したような特性の位相差検出回路115が構成される。なお、後段回路の特性に合わせて、図14の特性を逆にし、圧電トランス入出力電圧が同位相の場合には出力電圧が0となるようにしても差し支えない。

【0077】一般に2回路入りの比較器ICは非常に安価に入手できる。また、比較器としてオープンコレクタまたはオープンドレイン形式の比較器を用いれば、出力端子を共用接続することで自動的にアンドがとれるので、追加のロジックICが不要となる。従って、図18のような構成の位相差検出回路115によれば、安価な位相差検出回路115を実現でき、圧電トランスインバータ101の製造コスト抑制に効果大きい。

【0078】(第2の実施形態) 図19は本発明の別な実施形態による圧電トランスインバータ141の構成を示す回路図である。この圧電トランスインバータ141では、圧電トランス102の一次電極104、104を両方ともにグランドから浮かせ、駆動回路としてハーフブリッジ駆動回路の代わりにフルブリッジ駆動回路142を用いた点が第1の実施形態と異なっている。

【0079】フルブリッジ駆動回路142は、4つのスイッチング素子によって構成されている。図19に示す実施形態では、4つのスイッチング素子として、2つのPチャネル型FET143、145と2つのNチャネル

型FET144、146を用いているが、他の種類のスイッチング素子を用いてもよい。Pチャネル形FET143及びNチャネル形FET144の直列接続体と、Pチャネル形FET145及びNチャネル形FET146の直列接続体とは、並列に配置されている。すなわち、それぞれ上側アームのPチャネル型FET143、145と下側アームのNチャネル型FET144、146は互いのドレインを接続されており、各Pチャネル型FET143、145のソースにバッテリー等の電源からの電源電圧Vccが供給され、各Nチャネル型FET144、146のソースをグランドに接地されている。

【0080】デューティ制御回路113からは4本の出力が出ており、それぞれ各FET143、144、145、146のゲートにつながれている。また、Pチャネル型FET143とNチャネル型FET144の midpoint (ドレイン) からの出力は、コイル147を介して一方の一次電極104に接合され、Pチャネル型FET145とNチャネル型FET146の midpoint (ドレイン) からの出力は、コイル148を介して他方の一次電極104に接合されている。

【0081】さらに、圧電トランス102の一次電極104、104間には、圧電トランス102の一次側と並列にコンデンサ149が接続されており、2つのコイル147、148とコンデンサ149によってLC共振回路110が構成されている。コイル147、148のインダクタンスとしては、LC共振周波数の計算結果から求められた必要インダクタンスが、両コイル147、148の直列合成インダクタンスとなるように設計する。この場合、両コイル147、148のインダクタンスは、等しい値のものを用いることが望ましい。

【0082】この実施形態では、圧電トランスインバータ141の駆動回路142をフルブリッジ構成として一次電極104、104に交互に電源電圧Vccを印加することにより、圧電トランス102への入力電圧を2倍にすることができる。そのため、圧電トランス102の必要昇圧比が小さくてすみ、圧電トランス102への負担が少なくなる。よって、圧電トランス102の一次側積層数を減らして、圧電トランス102の製造コストを抑制することができる。

【0083】また、一方のPチャネル型FET143とNチャネル型FET144の midpoint からの出力 V_{sw1} と、他方のPチャネル型FET145とNチャネル型FET146の midpoint からの出力 V_{sw2} の各オン・デューティをそれぞれ図20(a)(b)に示すように同一デューティとし(出力 V_{sw1} と V_{sw2} のパルス幅を同一にし)、かつ、その位相差が 180° になるように制御すれば、圧電トランス入力電圧に含まれる2倍高調波をハーフブリッジの場合に比較して低減ができる。このため入/2モードローゼン型圧電トランスを用いた場合においても、出力電圧波形の歪み成分をより小さくできる。

【図面の簡単な説明】

【図1】ローゼン型圧電トランスの構造と、その駆動方法を説明する概略斜視図である。

【図2】圧電トランスの種々の周波数特性を示す図であって、(a)は圧電トランスの昇圧比、(b)は変換効率、(c)は入出力電圧の位相差、(d)は入力電圧の位相、(e)は入力インピーダンスを表わす。

【図3】第1の従来例における圧電トランスの周波数制御方式の原理を説明する図である。

【図4】第2の従来例による圧電トランスインバータの構成を示す回路図である。

【図5】(a)(b)は同上の圧電トランスインバータにおける圧電トランスの制御方法を説明する図であって、(a)は圧電トランスの出力電圧の周波数特性を示し、(b)は圧電トランスの入力電圧と入力電流の位相差の周波数特性を示している。

【図6】第3の従来例による圧電共振子駆動回路の構成を示す回路図である。

【図7】第4の従来例による圧電トランスインバータの構成を示す回路図である。

【図8】第5の従来例における圧電トランスの制御方法を説明する図である。

【図9】第6の従来例による圧電トランスインバータの構成を示す回路図である。

【図10】(a)(b)はLC共振回路を設けたときの圧電トランスの入力電圧及び出力電圧の変化を説明する図である。

【図11】第7の従来例による圧電トランスインバータの構成を示す回路図である。

【図12】第8の従来例による圧電トランスインバータの構成を示す回路図である。

【図13】本発明の第1の実施形態による圧電トランスインバータの構成を示す回路図である。

【図14】圧電トランスの入力電圧と出力電圧との位相

差と、位相差検出回路の出力との関係を示す図である。

【図15】(a)(b)(c)は圧電トランスの寸法と圧電振動モードとの関係を示す図である。

【図16】LC共振回路における昇圧比の周波数特性の、Qが大きい場合と小さい場合との違いを示す図である。

【図17】圧電トランス入力容量とコンデンサ容量との比率Mをパラメータとしたときの、LC共振ピーク周波数と効率最大周波数 f_d における昇圧比との関係を表わした図である。

【図18】位相差検出回路の具体回路図である。

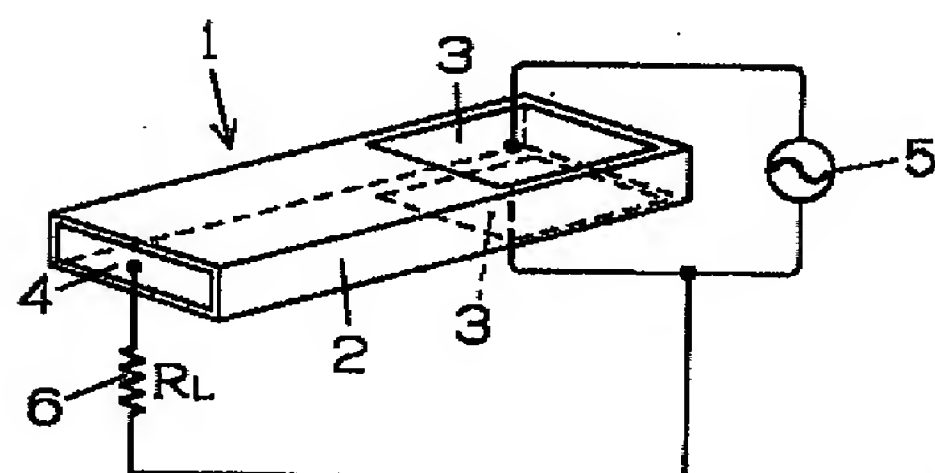
【図19】本発明の第2の実施形態による圧電トランスインバータの構成を示す回路図である。

【図20】同上の圧電トランスインバータにおける、フルブリッジ駆動回路の駆動信号波形例を示す図である。

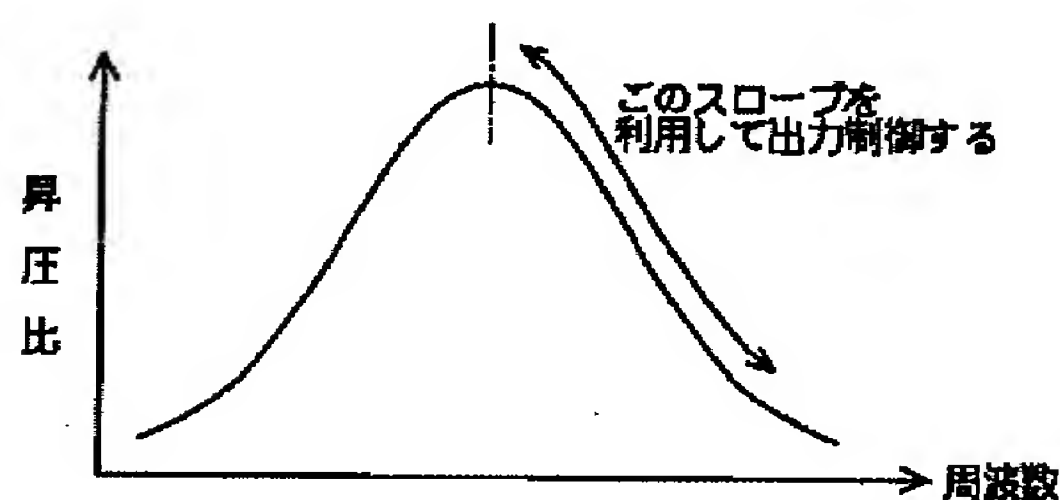
【符号の説明】

- 102 圧電トランス
- 104 一次電極
- 105 二次電極
- 106 負荷
- 107 ハーフブリッジ駆動回路
- 108、109 スイッチング素子
- 110 LC共振回路
- 111 コイル
- 112 コンデンサ
- 113 デューティ制御回路
- 115 位相差検出回路
- 116 周波数制御回路
- 121、122 比較器
- 142 フルブリッジ駆動回路
- 143、145 Pチャネル型FET
- 144、146 Nチャネル型FET
- 147、148 コイル
- 149 コンデンサ

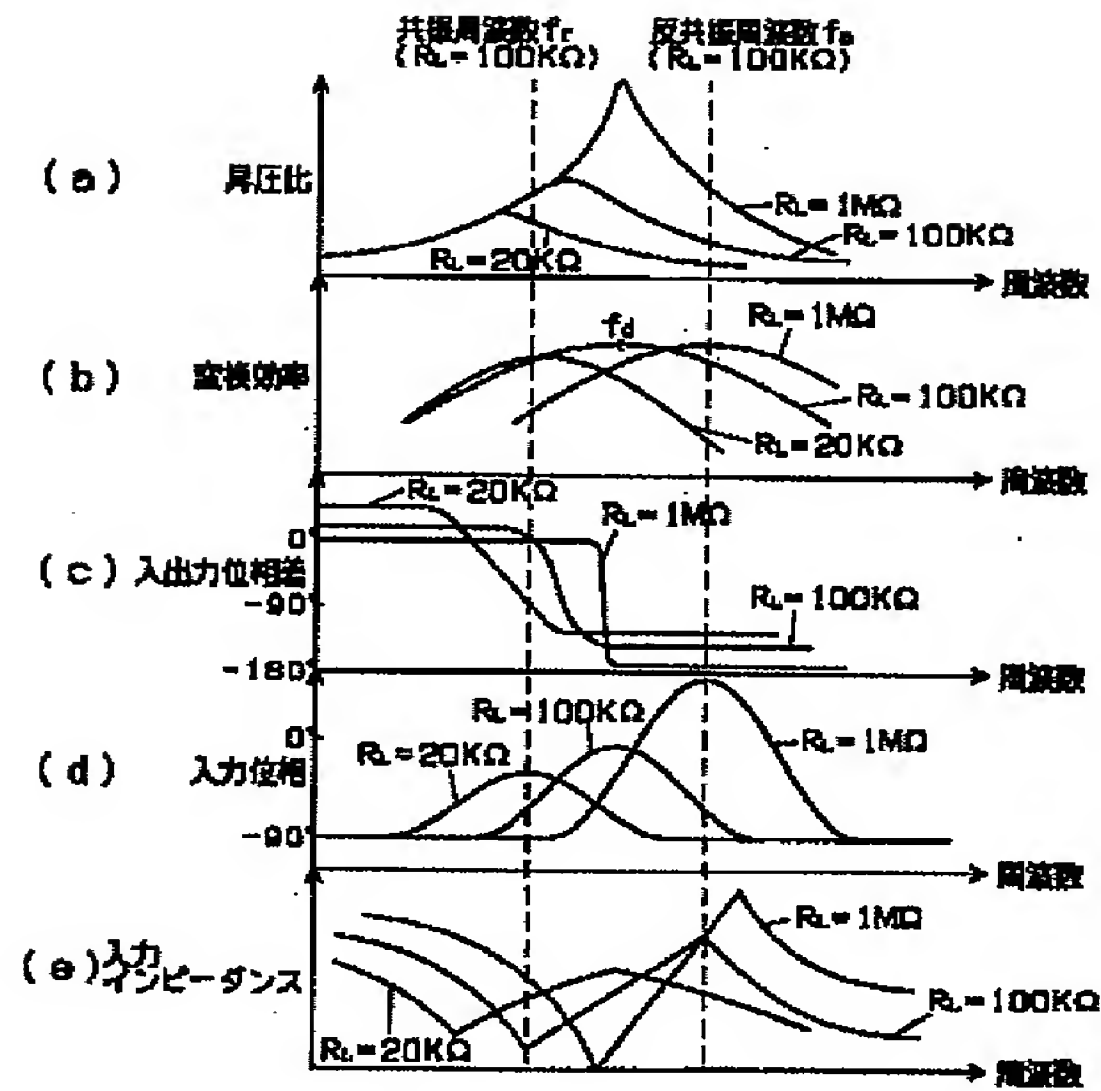
【図1】



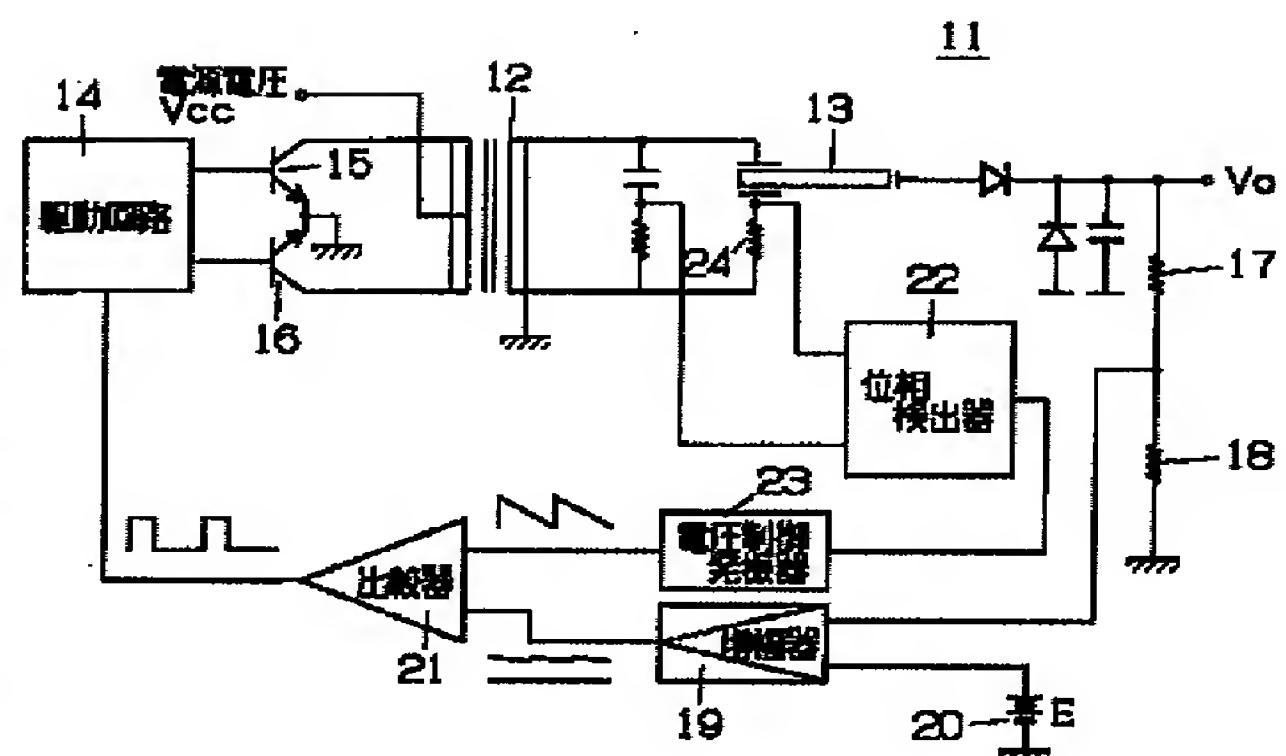
【図3】



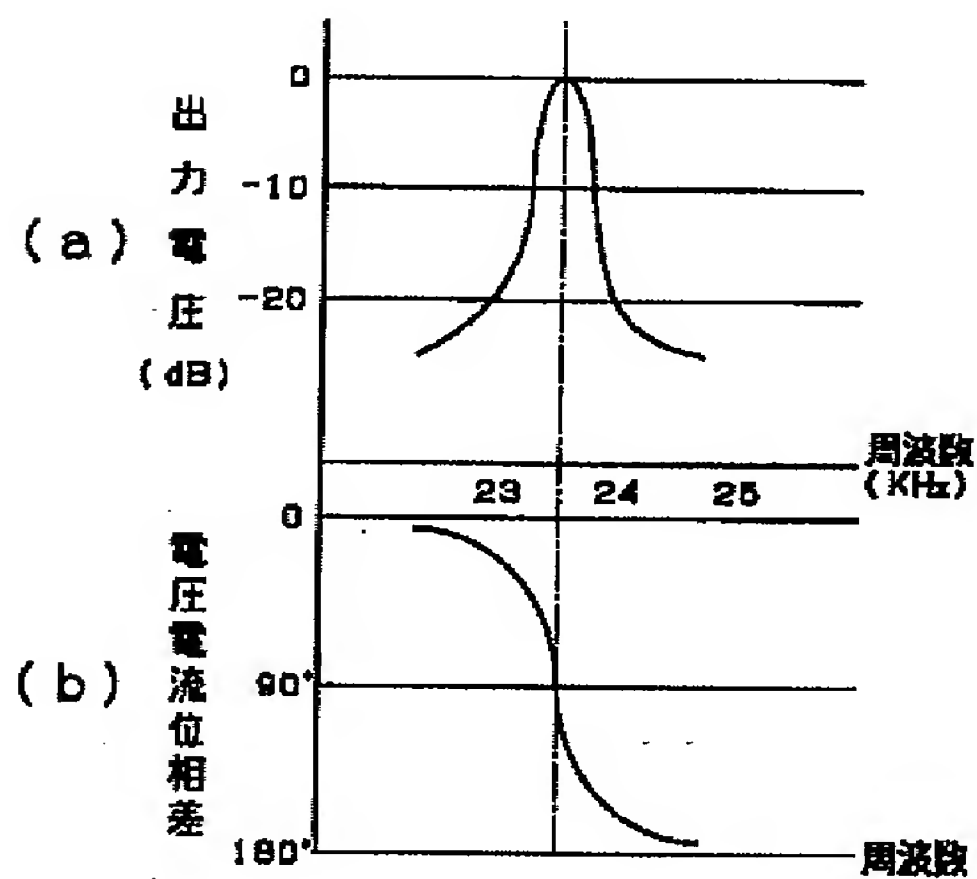
【図2】



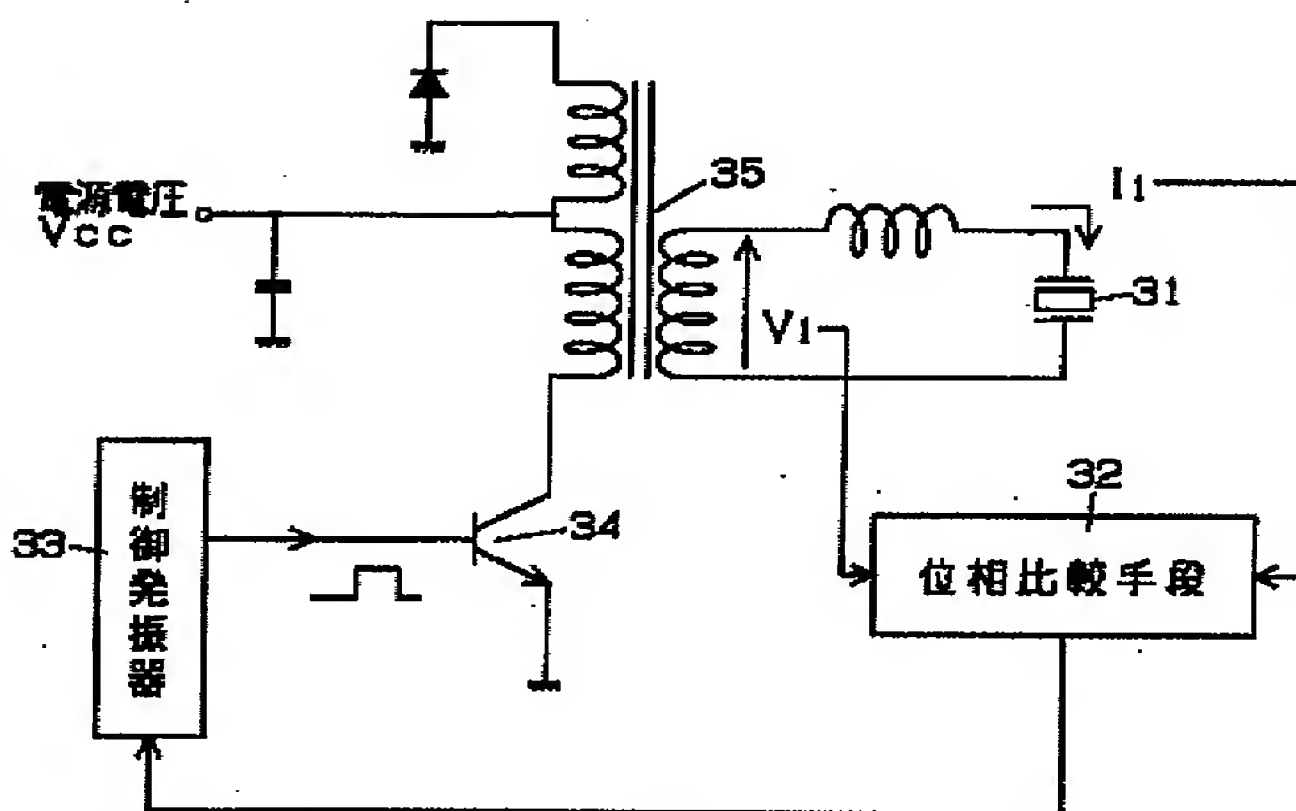
【図4】



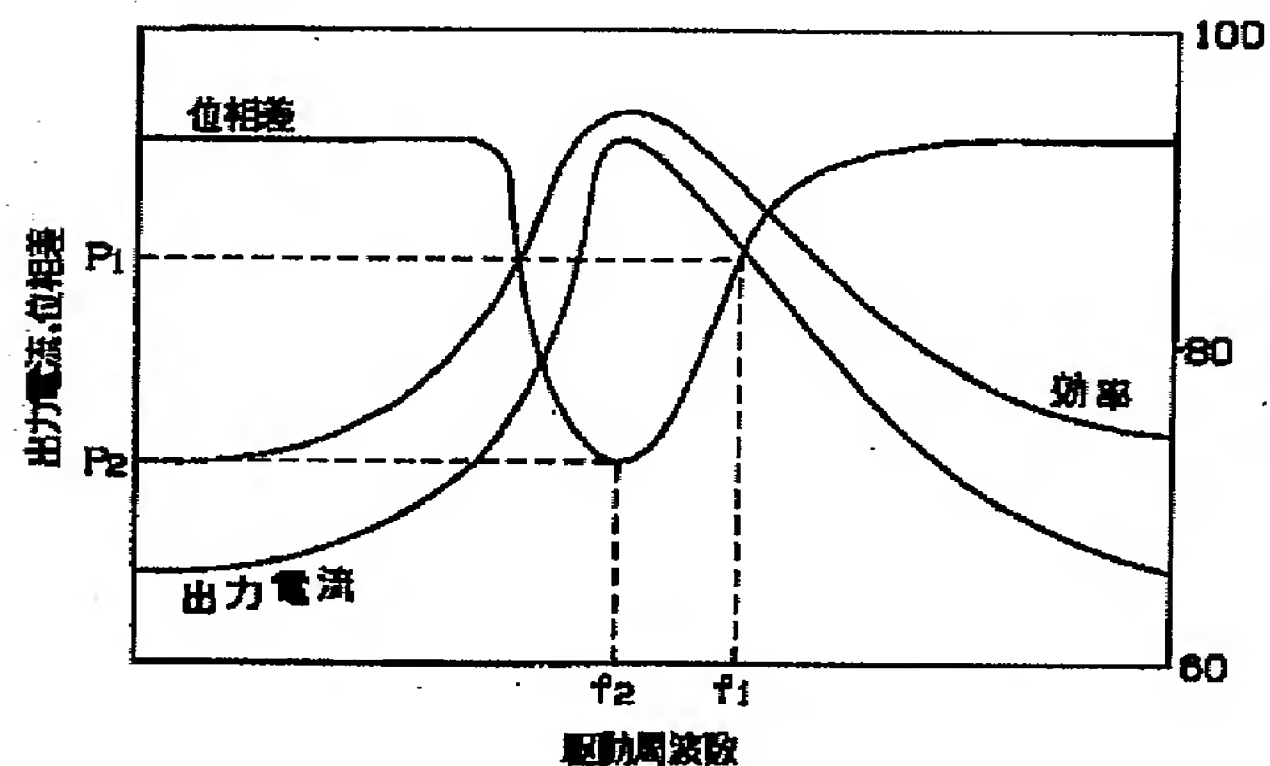
【図5】



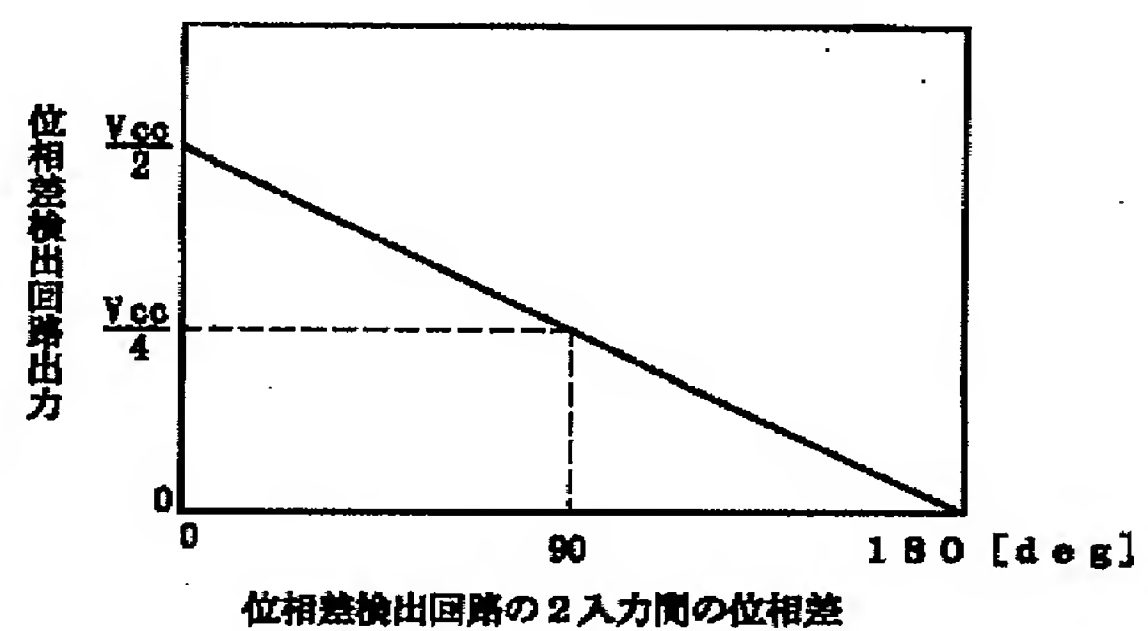
【図6】



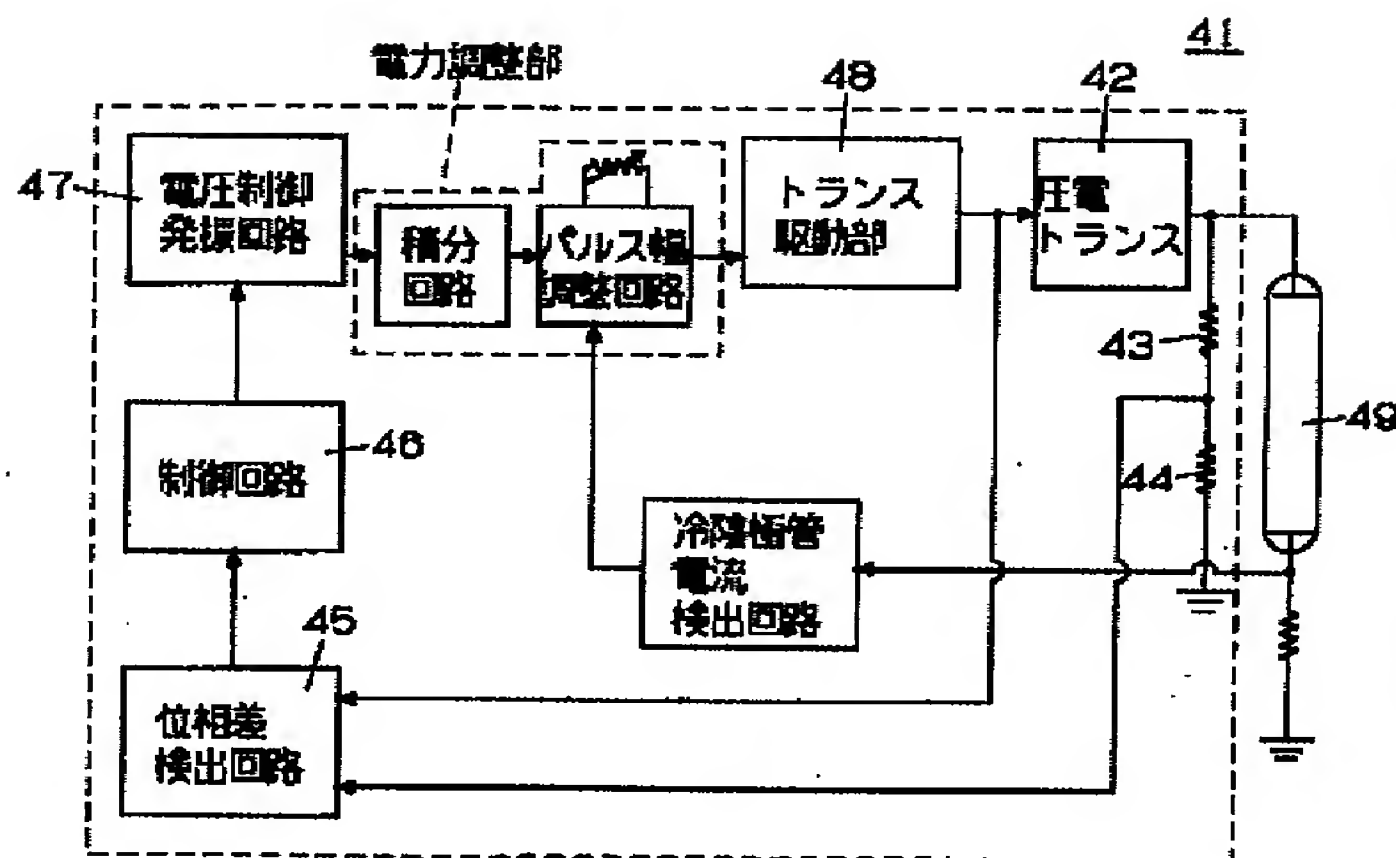
【図8】



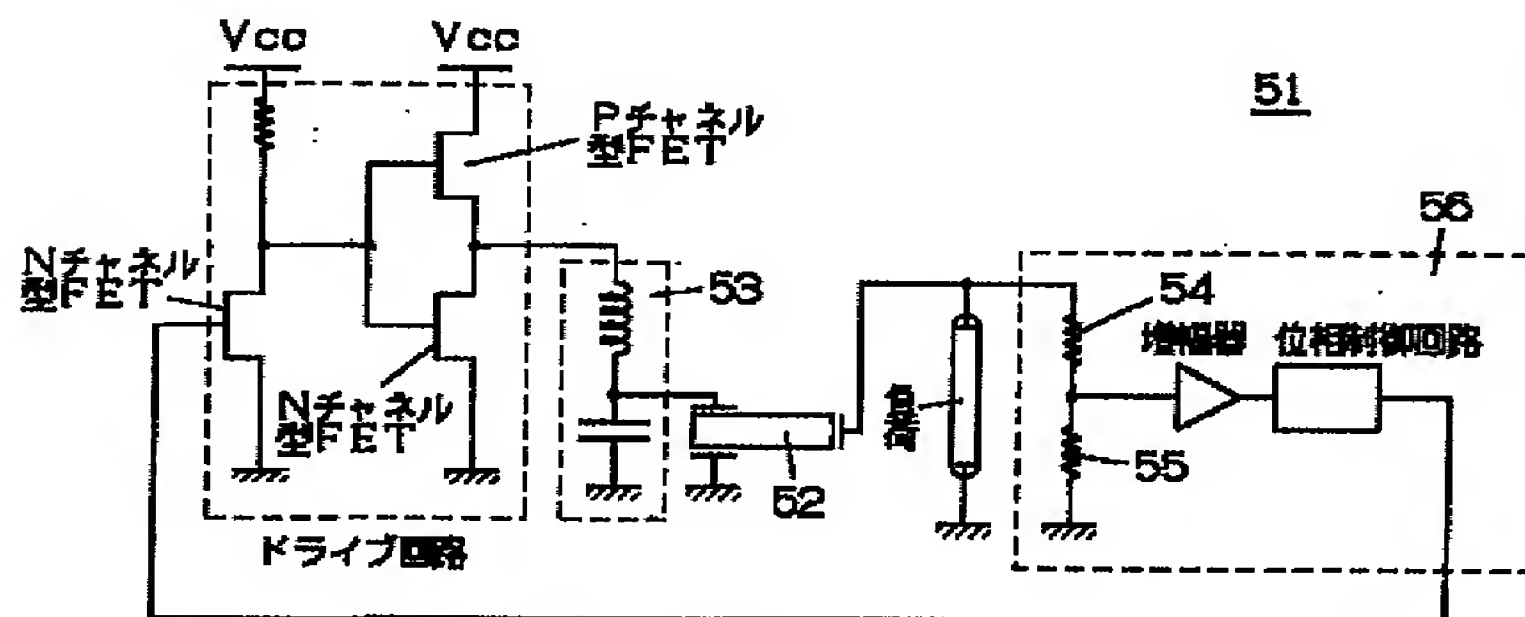
【図14】



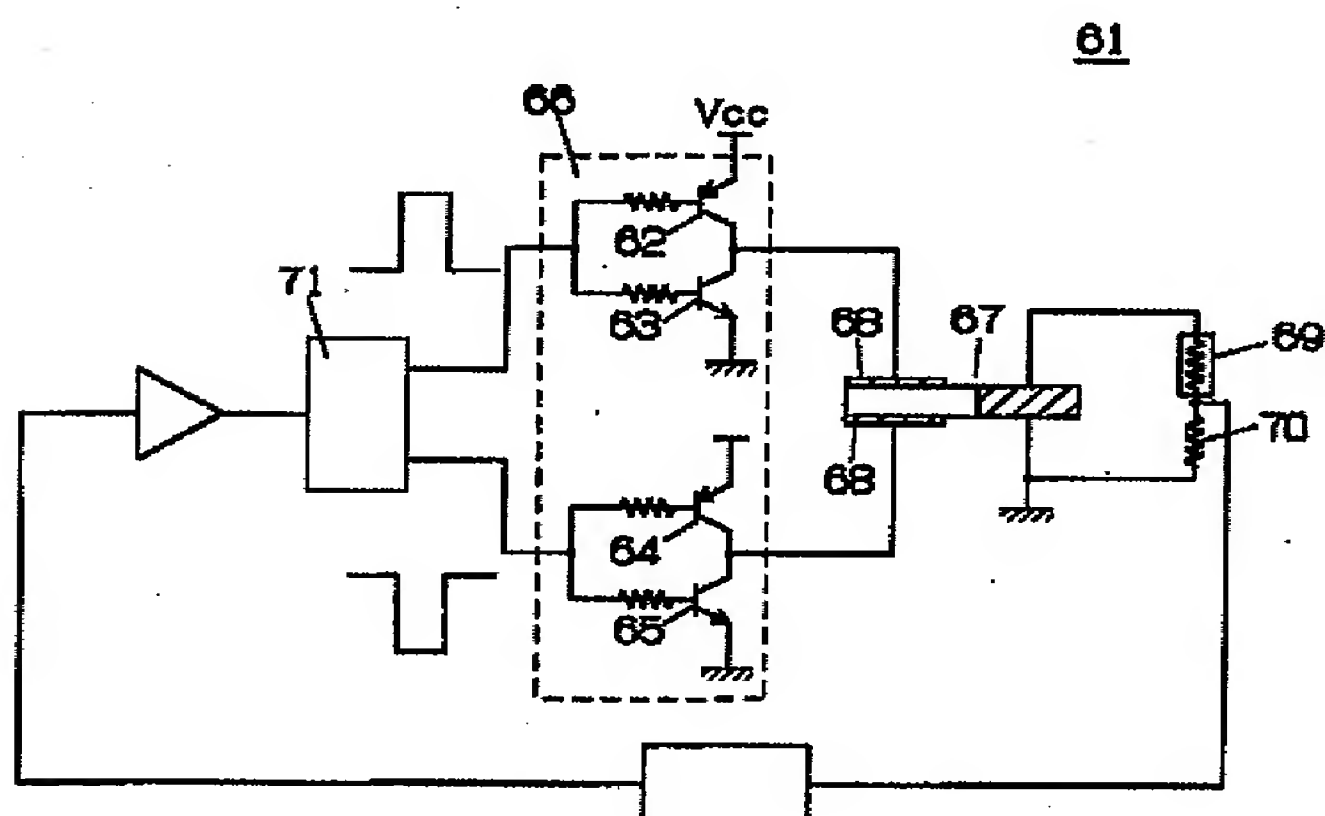
【図7】



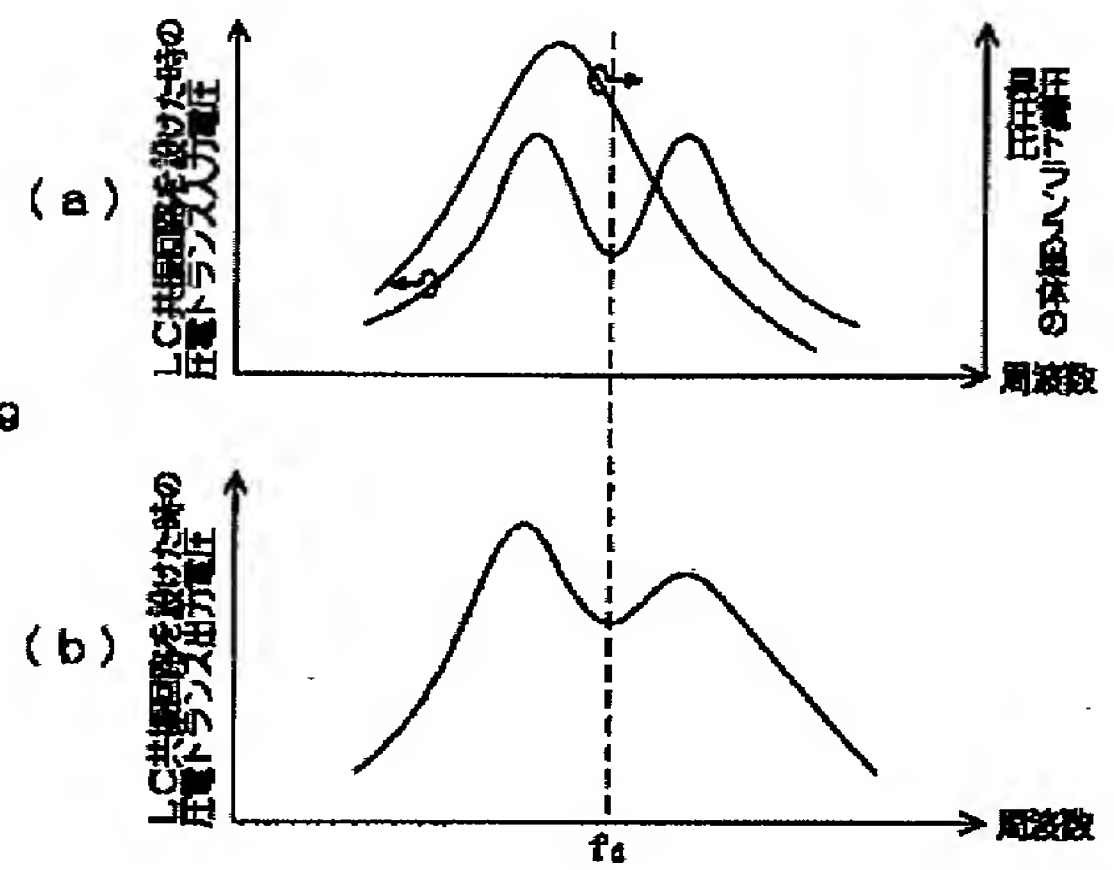
【図9】



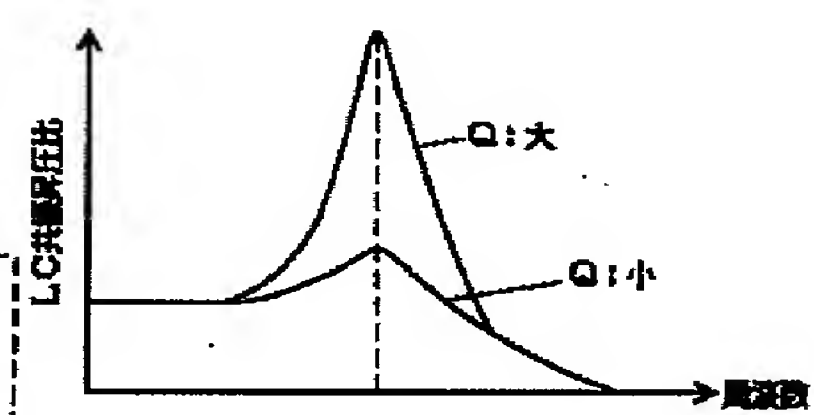
【図11】



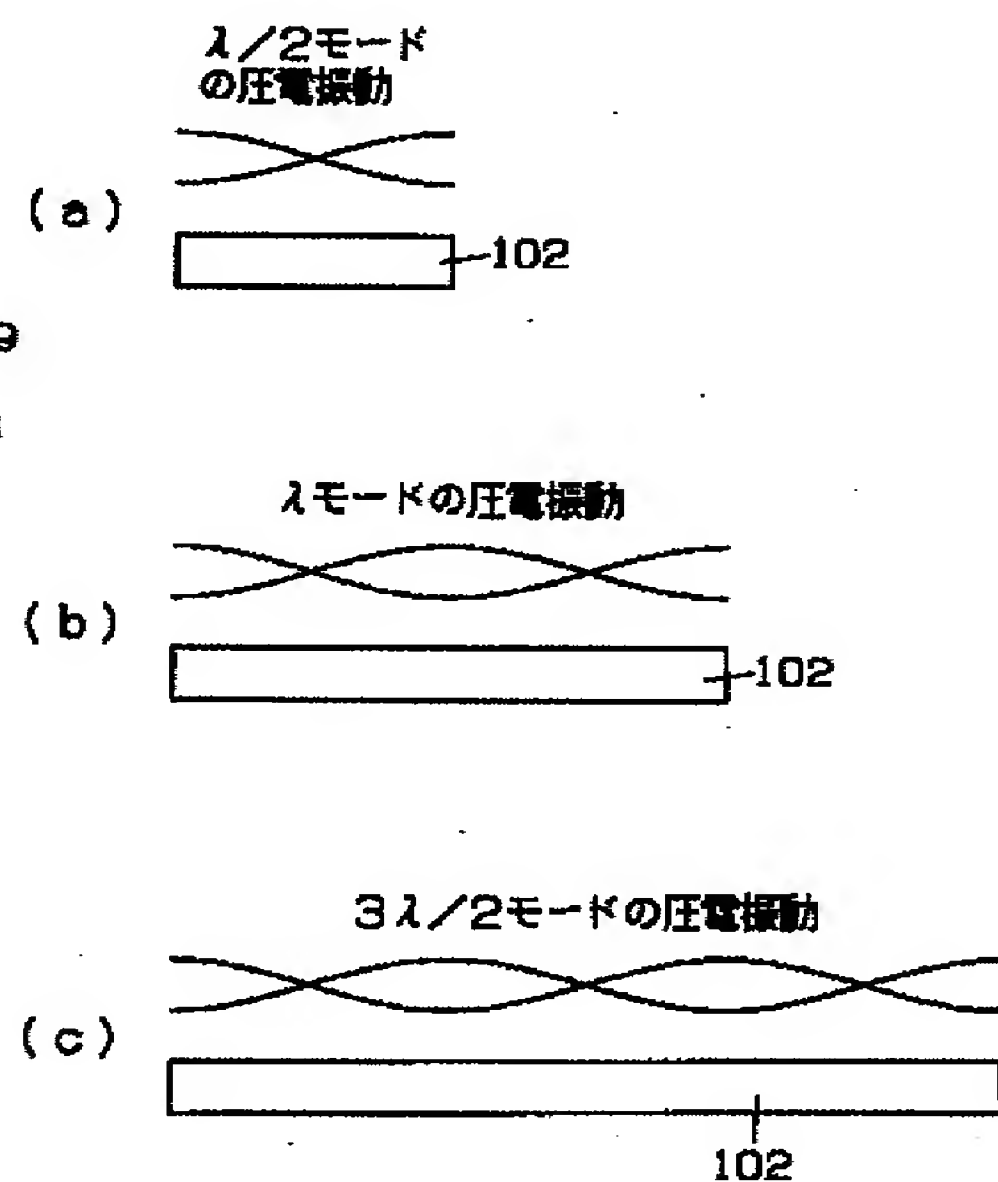
【図10】



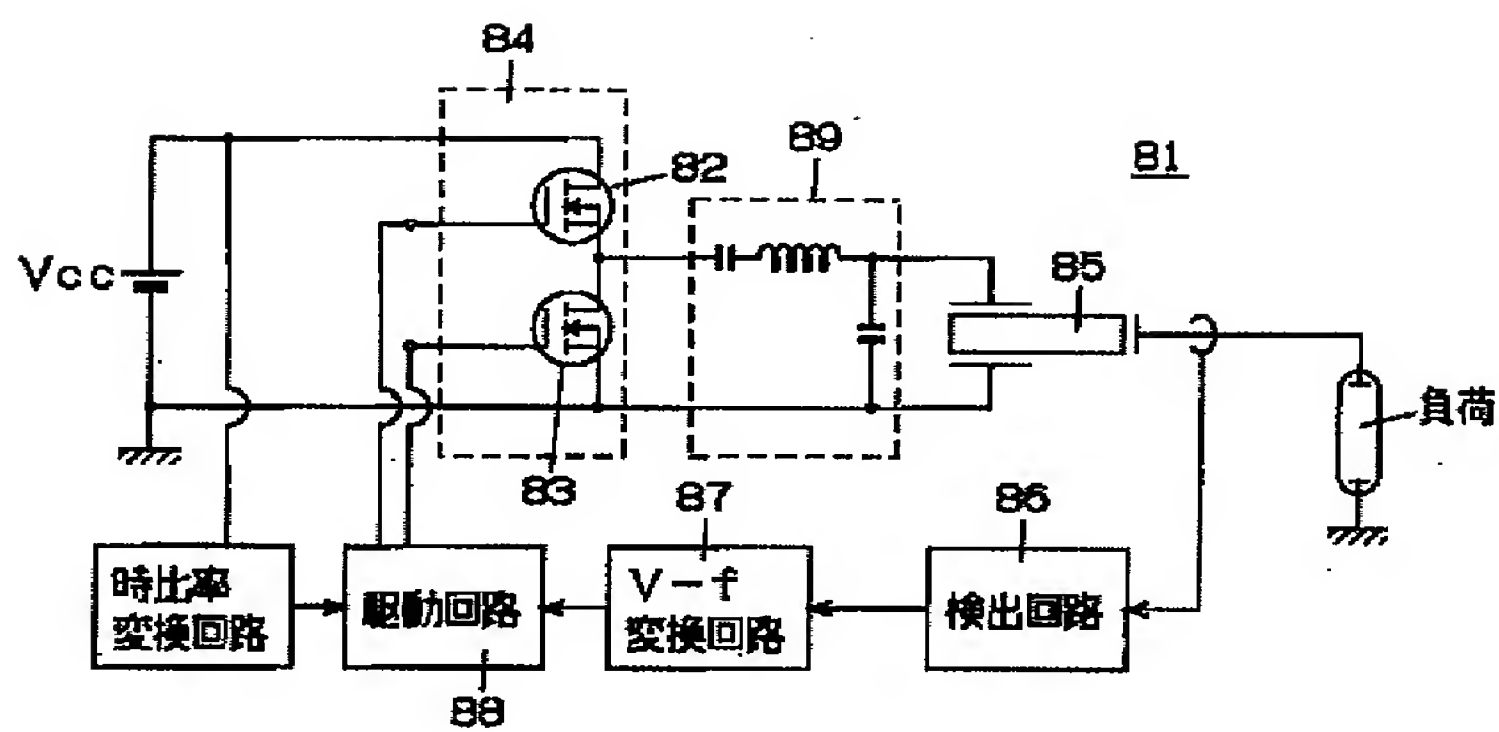
【図16】



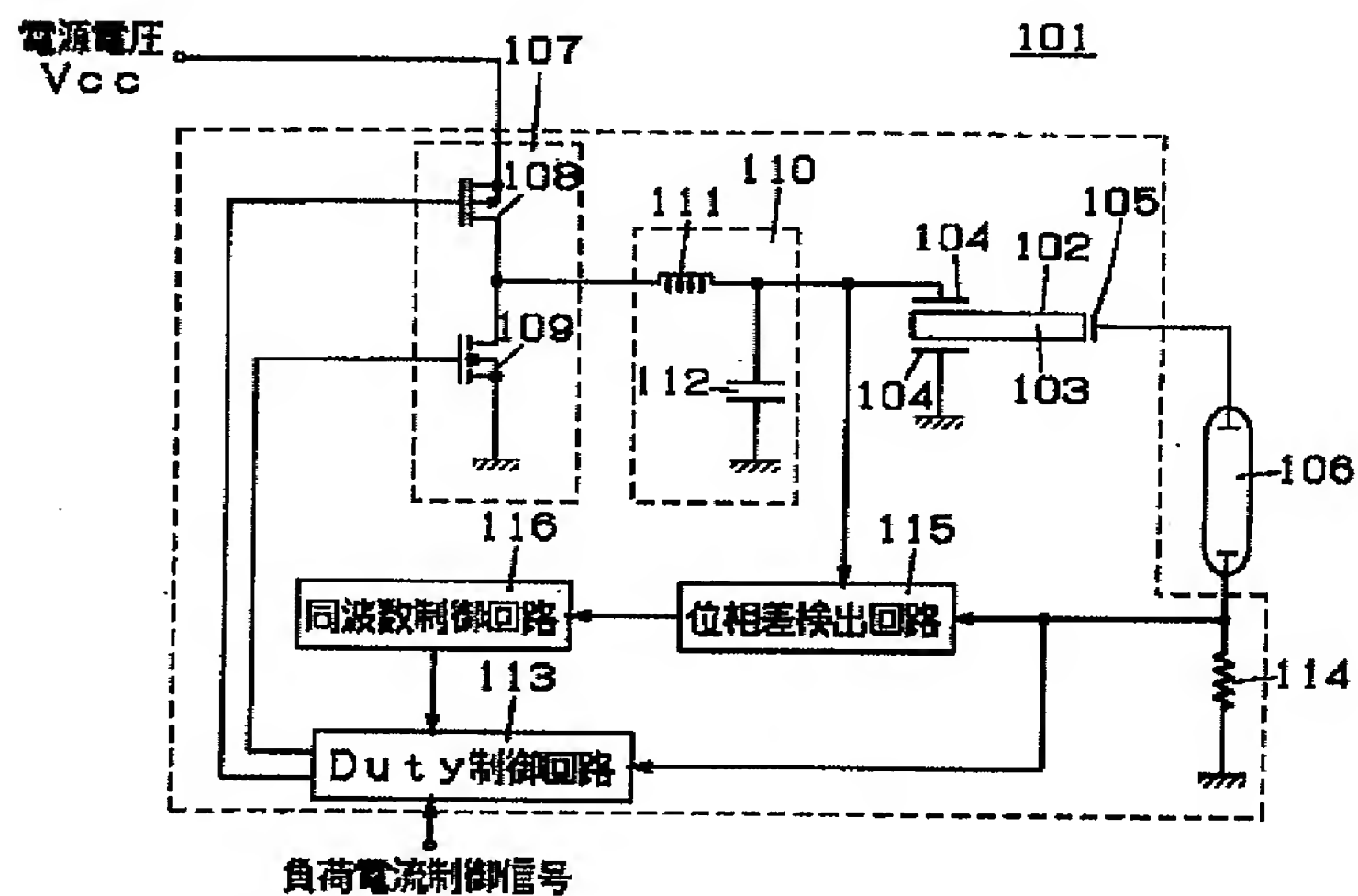
【図15】



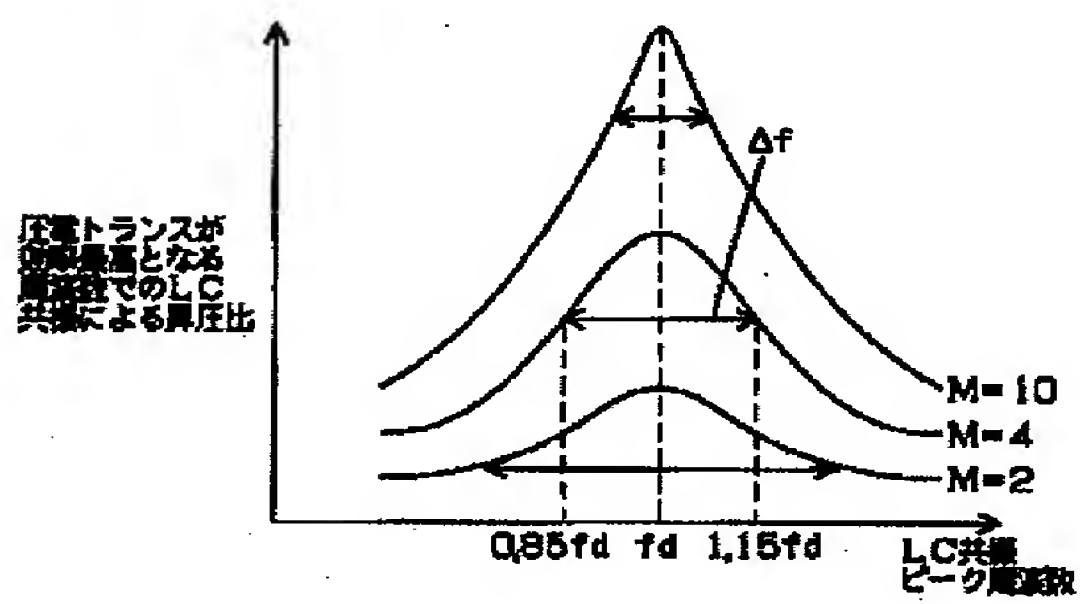
【図12】



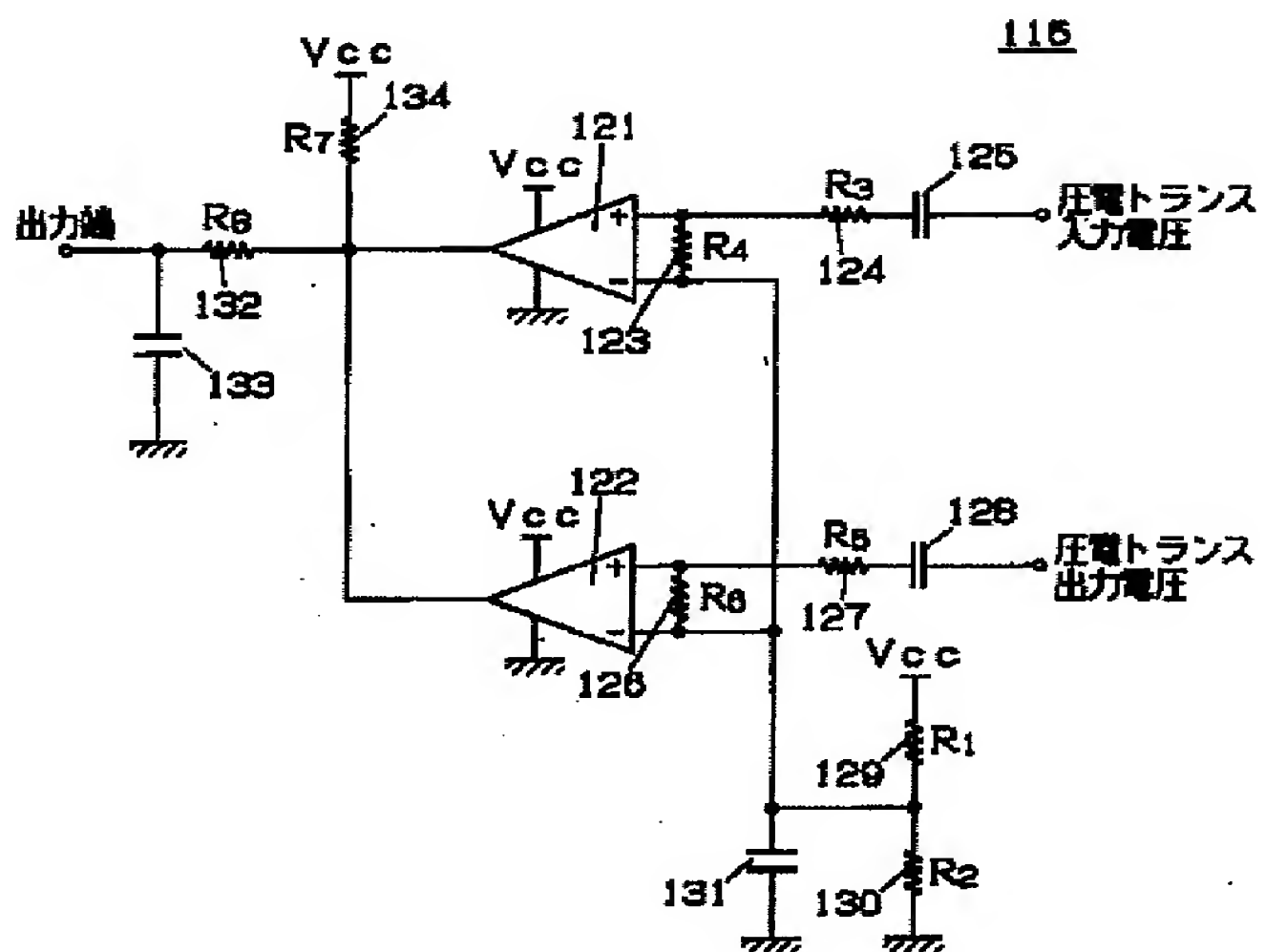
【圖 13】



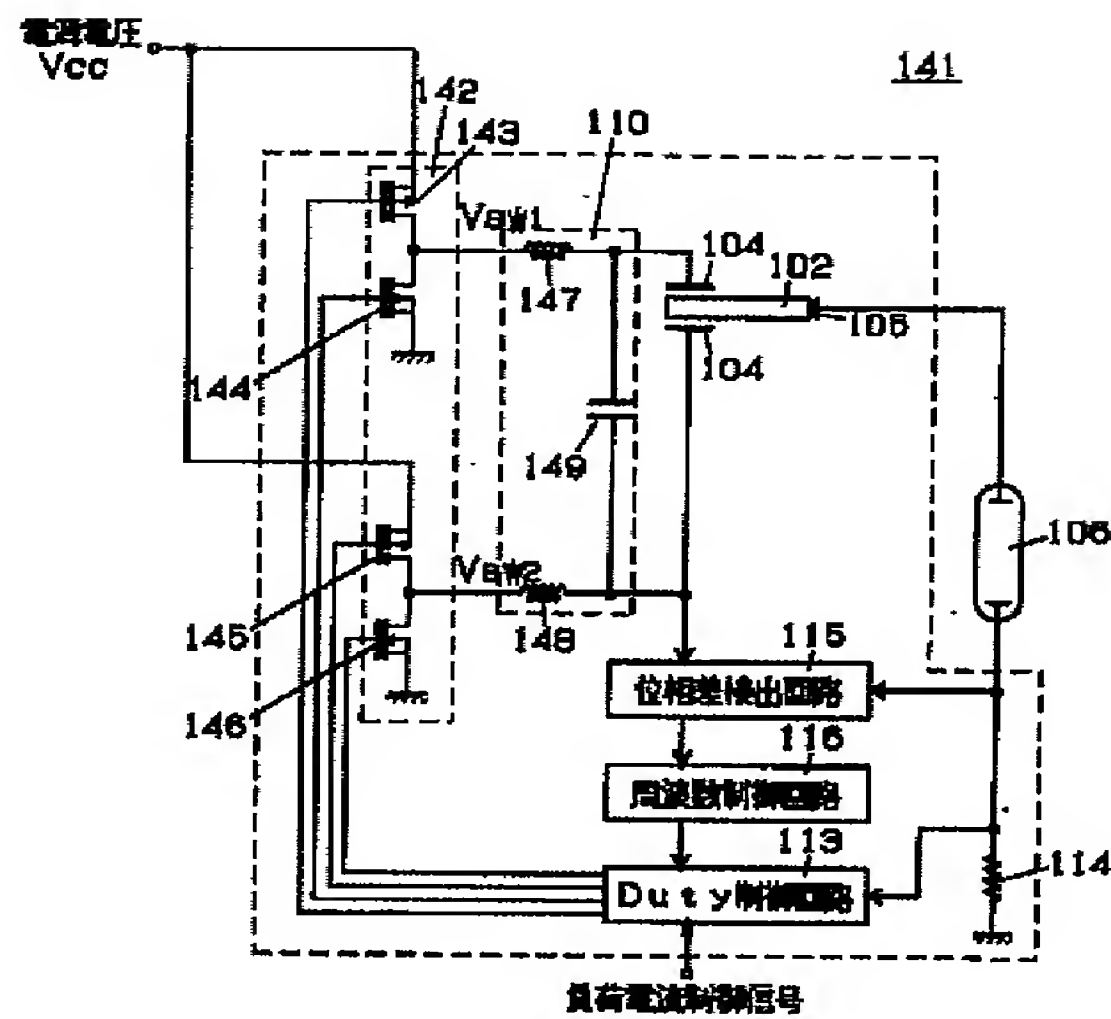
【图 17】



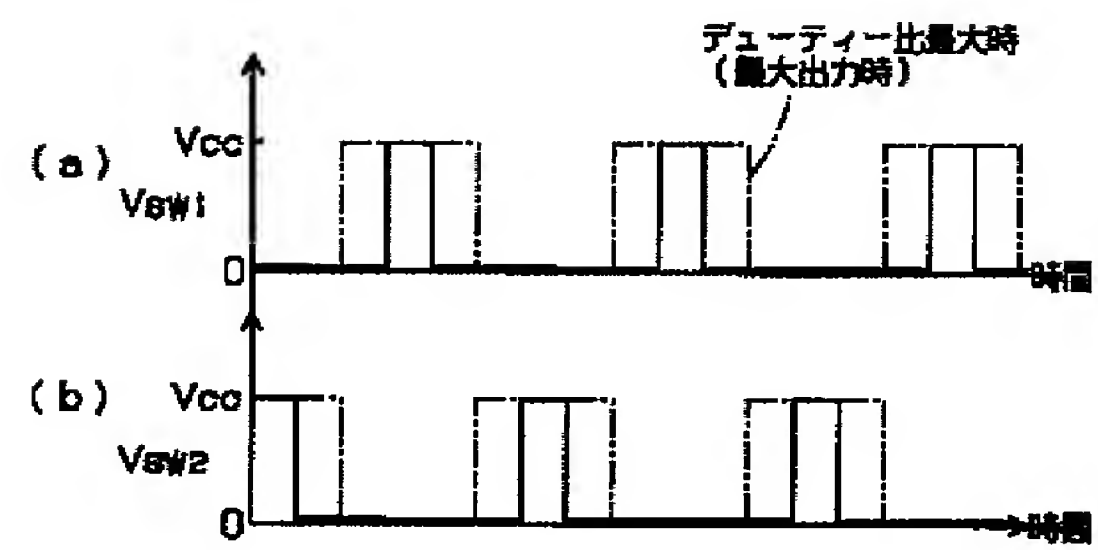
【图18】



【図19】



【図20】



フロントページの続き

Fターム(参考) 3K072 AA01 AA19 BA03 BC01 BC03
 BC07 DD04 EB05 EB06 GA02
 GB12 GB18 GC04 HA10 HB03
 5H007 AA00 BB03 CA01 CB04 CB06
 CB07 CB12 CB22 DA03 DA05
 DA06 DC02 DC04 DC05 EA02
 EA09 HA01
 5H730 AA14 BB23 BB25 BB26 BB57
 BB66 DD02 DD04 EE02 EE07
 EE48 FD01 FD31 FF02 FG05
 FG07 ZZ19